



Oscilador sinusoidal incrustado de 1 a 150 Hz .

Álvarez González Ricardo¹, Hernández Vázquez Manuel², Leonor Sánchez José Clemente³

Facultad de Ciencias de la Electrónica.
Benemérita Universidad Autónoma de Puebla
18 sur y avenida Sn. Claudio
Puebla México

1)algor@ece.buap.mx, 2)astm94@hotmail.com 3)arletjc@yahoo.com

Resumen: Se presenta un algoritmo para realizar un oscilador programable en el rango de 1 a 150 Hz con resolución de un Hz, mediante un microcontrolador, para aplicaciones de magnetoterapia.

Introducción

A simple vista parece trivial diseñar un oscilador a partir de un microcontrolador, (y lo es en el caso de una señal cuadrada, de frecuencia fija) sin embargo, cuando se requiere generar una señal sinusoidal con selección digital de la frecuencia y precisión, aparecen aspectos importantes que se deben resolver con la finalidad de cumplir los requisitos del diseño.

La necesidad de un oscilador con estas características surge del requerimiento de generar un campo magnético variable para aplicaciones en el campo experimental de la electromedicina, y este trabajo es solo un bloque de un proyecto relativo a la construcción de un estimulador múltiple

Descripción del sistema

Se presenta un diagrama a bloques del sistema en la figura 1. Se desarrolla el oscilador con el microcontrolador de 8 bits 16F84 de Microchip. Son usados 6 bits de un puerto del microcontrolador para generar una cuenta ascendente desde 0x00 hasta 0x3F, cada una de estas cuentas se alimentan a un convertidor de

digital a analógico, con la finalidad de obtener una escalinata de 64 peldaños, con lo cual obtendremos

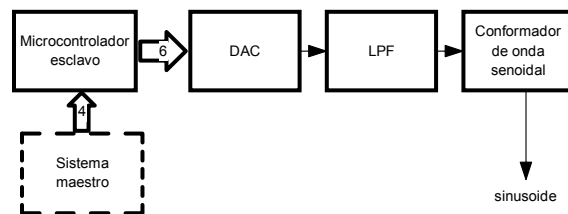


Figura 1 Diagrama a bloques del oscilador.

la mitad de la señal, la otra mitad se obtiene al generarse la cuenta descendente desde 0x3F hasta 0x00. La salida del DAC se alimenta a un filtro pasa bajas para suavizar la señal, la cual se conecta posteriormente a un conformador de onda sinusoidal, para obtener finalmente la señal deseada.

Cuatro bits de otro puerto se utilizan para recibir una palabra de 8 bits, procedente del procesador maestro, primero se recibe la parte alta de la palabra y después la parte baja, con esta palabra de 8 bits se especifica el código de la frecuencia que se generará, y códigos de control procedentes del procesador maestro



(lectura de datos, encendido /apagado del oscilador) es decir con este puerto y con la ayuda de la interrupción externa (sobre el pin RB0 del PUERTO B) se logra hacer una especie de comunicación paralela esclava entre ambos procesadores.

Dado que la resolución de las frecuencias generadas por el oscilador es de un Hz, la frecuencia seleccionada, es una de 150 frecuencias posibles, para evitar incluir en el programa una tabla con 150 opciones, una vez especificada la frecuencia necesaria, se emplean las funciones matemáticas de la librería *mat.h* proporcionada por el fabricante del microcontrolador [1]. Se hace uso de las rutinas de punto flotante de 24 bits, ubicadas en dicha librería para calcular el valor necesario a cargar en un temporizador de 8 bits mediante las expresiones:

$$T = \frac{1}{F} \quad (1)$$

donde F : Frecuencia deseada

T : Periodo de la señal

$$TMR0 = \frac{T}{4 * 128 * TOSC * divisor} \dots \quad (2)$$

donde: TOSC: periodo del oscilador
 divisor: rango del divisor
 TMR0: Valor a cargar en el registro del temporizador

En nuestro caso particular:

TOSC = 50.25 ns (frecuencia de 19.9 MHz)

Por lo tanto el denominador de la ecuación (2) queda como:

$$4 * 128 * TOSC * \text{Rango del divisor} = 4 * 128 * 50.25e-9 * \text{Rango del divisor} = 25.72 e-6 * \text{Rango del divisor}.$$

En consecuencia la ecuación (2) se puede redefinir T como:

$$TMR0 = \frac{T}{25.72 e-6 * divisor}$$

(3)

Cada vez que se desborda este temporizador con el periodo deseado en base a (2) y a (3), se genera un peldaño de la escalinata (ya sea ascendente o descendente), como se puede apreciar en la Fig.1, mediante el uso de un DAC de 6 bits, se obtiene una escalinata ascendente de 64 peldaños, seguida de una escalinata descendente de la misma longitud, de tal manera que la señal compuesta de esos 128 escalones se alimenta a un filtro pasabajos (LPF) para formar una onda triangular, la cual es la base para obtener la señal deseada mediante el conformador de onda sinusoidal

En cuanto al LPF su función básica es la de eliminar componentes de alta frecuencia, cuya frecuencia de corte está basada en la frecuencia mas alta que se haya de generar con la onda triangular.

Software del sistema

Se programó el microcontrolador en lenguaje ensamblador, se presenta en la figura 2 el diagrama de flujo, del programa principal, una vez encendido el sistema, el procesador entra a un modo de ahorro de energía (sleep), en el que



permanecerá hasta que el procesador maestro genere la interrupción externa, indicándole la frecuencia correspondiente a la señal que se generará. Una vez que el sistema ha reconocido la frecuencia deseada, mediante las rutinas de punto flotante se calculará el valor necesario que se cargará en el registro del temporizador (TMR0), con la finalidad de generar la base de tiempo necesaria para que se generen las escalinatas ascendentes/descendentes periódicas de 128 peldaños, las cuales se filtrarán y conformarán sinusoidalmente para obtener la señal deseada, como ya se ha explicado previamente.

Para generar las señales en el rango deseado (1-150 Hz) es preciso cambiar el rango del divisor de frecuencia del temporizador timer 0, como se muestra en la tabla 1. El procesador generará la señal especificada continuamente, hasta que mediante la interrupción externa reciba la indicación del procesador maestro para cambiar la frecuencia, o bien, para pasar al estado de ahorro de energía.

Para mantener la precisión de las frecuencias necesarias, se usan rutinas de compensación de tiempo, las cuales se invocan desde la rutina de servicio de

Frecuencia (en Hz)	Rango del Divisor
1 a 19	256
20 a 48	128
49 a 71	4
72 a 106	8
107 a 150	16

interrupción.

Tabla 1 Valores del divisor de frecuencias.

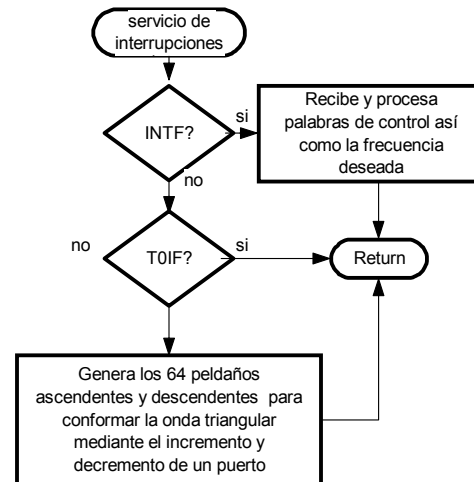


Figura 3 Servicio de interrupciones

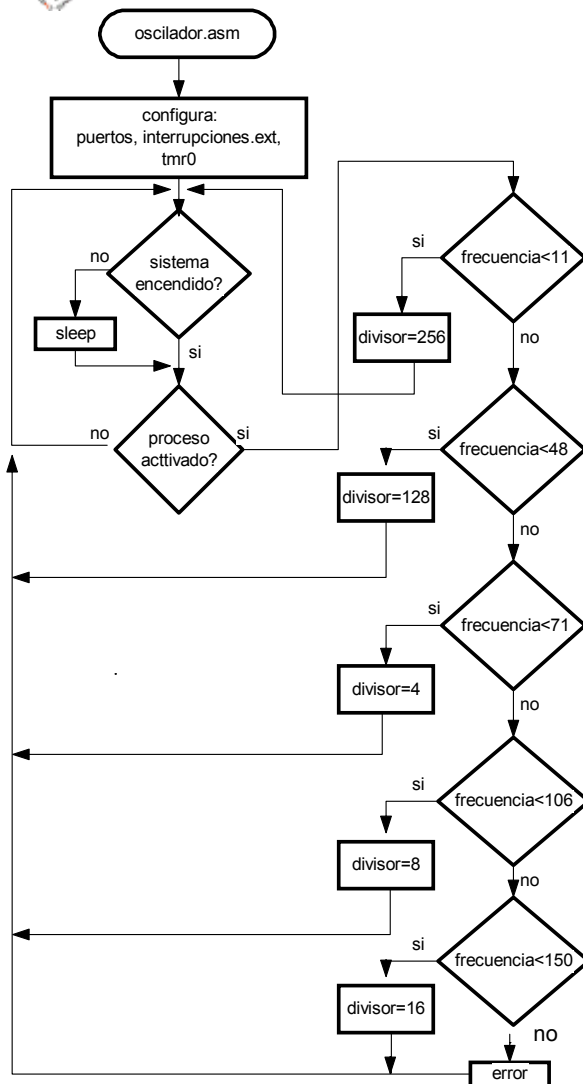


Figura 2. Diagrama de flujo del programa principal

Conclusiones

Lo presentado en este proyecto son los avances que se han obtenido durante el desarrollo de generar digitalmente una senoide a partir de un microcontrolador. Este pequeño trabajo forma parte de un proyecto más complejo para aplicaciones en medicina .

Para lograr la resolución de un Hz, se utilizaron el temporizador interno del procesador (el timer 0) y rutinas de

compensación de tiempo adicionales, ya que para algunas frecuencias contiguas, resultaba que se tenía que cargar el mismo valor entero al registro del procesador, debido a que estos valores se diferenciaban solo en su parte fraccionaria. Las rutinas antes mencionadas, consisten en la adición de algunos ciclos de máquina al periodo de la señal para compensar la fracción decimal.

Como se ha mencionado anteriormente el procesador se ha ocupado para generar una onda triangular con la frecuencia especificada por el usuario, muchos de nosotros nos preguntamos porque generar una triangular con el procesador si podemos configurar una onda triangular a partir de una onda cuadrada la cual la podemos procesar con un filtro pasa bajas. Es lógico pensar esto, pero en la práctica es algo complejo de desarrollar, ya que para bajas frecuencias (que es el caso que a nosotros nos compete) el filtro ya no responde como debería de hacerlo, sobre todo por la selección de los componentes reactivos necesarios; además de que se observó, que la amplitud de la señal no se mantiene constante (a mayor frecuencia menor amplitud, dentro del rango de frecuencias específicas).

Actualmente se está trabajando en un VCO (oscilador controlado por voltaje) controlado digitalmente, como una alternativa para el oscilador que hemos descrito.



Referencias

- [1] Embedded Control Handbook
Volume 1
Microchip Technology Incorporated
USA.
1997



SEGUNDO CONGRESO NACIONAL DE ELECTRÓNICA, 24, 25 Y 26 DE SEPTIEMBRE DEL 2002, CENTRO DE CONVENCIONES WILLIAM O JENKINS PUEBLA, PUE.