

Una Nueva Técnica para la Detección de Fallas en Lazos de Amarre de Fase (PLL)

Wilbert V. Lara-Castillo, Guillermo Espinosa Flores-Verdad, Víctor H. Champac
Instituto Nacional de Astrofísica óptica y Electrónica, Puebla, Pue. México.
Email: wvlara@susu.inaoep.mx

Resumen 1: Este trabajo presenta un método para la detección de fallas en lazos de amarre de fase (PLL, por sus siglas en inglés); el cual consiste en verificar el rango de frecuencia de operación del PLL, mediante la caracterización de su Oscilador Controlado por Voltaje (VCO) mientras el sistema se encuentra en modo de prueba. Este método permite la detección de fallas de corto circuito y circuito abierto que son consideradas catastróficas para el funcionamiento del PLL.

I. INTRODUCCIÓN

EL rápido avance en la industria electrónica ha sido gobernado por el continuo escalamiento de los procesos de integración CMOS, por lo tanto, esto ha habilitado la realización de circuitos de señales-mixtas, en donde los bloques digitales junto con la circuitería analógica pueden ser integrados dentro de un solo circuito. Estos circuitos de señales-mixtas proveen una mejor eficiencia en la confiabilidad y flexibilidad de los sistemas. Sin embargo, para aprovechar estas bondades, es necesario contar con métodos adecuados para la prueba de estos circuitos integrados.

Es bien sabido que el costo para un alto volumen de producción de CIs en modo-mixto esta esencialmente dominado por el tipo, tiempo y equipo de prueba. Debido a ello, es de vital importancia reducir el número de vectores de prueba para reducir el costo de la verificación de un CI.

El PLL se ha convertido en un bloque fundamental para los sistemas electrónicos modernos, por ejemplo; desarrolla funciones tales como: manejo de reloj [1], sintetizar frecuencia [2], [3], etc. Tradicionalmente, las técnicas utilizadas a nivel industrial para la detección de fallas en PLL están basadas en pruebas funcionales [4]. Las pruebas del tiempo de amarre, rango de frecuencia de captura y frecuencia de amarre son algunos de los parámetros utilizados por la técnica antes mencionada.

Por la naturaleza del PLL, como un sistema de control retroalimentado, y a las grandes constantes de tiempo que pertenecen al filtro de lazo, las pruebas

funcionales son consideradas costosas en terminos de tiempo de verificación, por lo tanto para solucionar este problema se han propuesto técnicas para convertir al PLL a un circuito de lazo abierto [5].

En este artículo se retoma la idea de convertir al PLL a un sistema de control de lazo abierto, con este objetivo se tiene un control sobre el voltaje de entrada al VCO (V_c), esto permite la verificación del rango de frecuencia de operación del PLL por medio de la caracterización de su VCO. Además sólo es necesario introducir dos vectores de prueba a la entrada del detector de fase, con el fin de establecer el voltaje de control deseado en el filtro de lazo.

El artículo esta organizado de la siguiente manera: en la sección II se describe el funcionamiento del Circuito Bajo Prueba (CUT, por sus siglas en inglés), en especial del VCO. En la sección III se hace una breve descripción del modelo de falla utilizado en las simulaciones, así como la implementación de la técnica propuesta. Los resultados obtenidos de las simulaciones para el VCO libre de fallas, así como cuando se han introducido fallas son descritos en la sección IV, también se hace mención de la limitación de la técnica propuesta. Finalmente, en la sección V se presentan las conclusiones de este trabajo.

II. EL PLL COMO VEHÍCULO DE PRUEBA

La función que desempeña un PLL es sincronizar su señal de salida con una señal de referencia a la entrada. La señal de salida tiene la misma frecuencia que la señal de referencia y también una diferencia de fase constante [6]. La arquitectura de un PLL es mostrada en la figura 1.

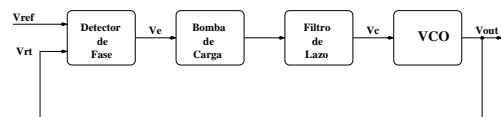


Fig. 1. Diagrama a Bloques de un PLL

El PLL compara la señal de referencia, V_{ref} , con la salida del VCO, V_{rt} . Se obtiene una señal de error, V_e , el cual es proporcional a la diferencia de fase de la señal de referencia y la señal de salida del VCO. Este error es filtrado para generar el voltaje de control para el VCO, V_c .

A. Oscilador Controlado por Voltaje (VCO)

El oscilador controlado por voltaje (VCO) es un oscilador de tipo anillo de 13 etapas [7],[8]. El diagrama esquemático es mostrado en la figura 2.

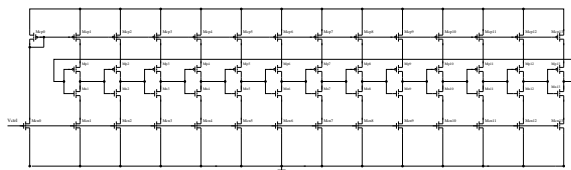


Fig. 2. Esquemático del VCO

El VCO tiene una frecuencia central de 100Mhz (para un voltaje de dc a la entrada de 1.5V) y una ganancia de 120Mhz/V sobre un rango lineal de 1V a 2V como voltaje de entrada. Este circuito fue realizado con una tecnología de AMS de $0,35\mu$.

III. TÉCNICA PROPUESTA

En modo de prueba, el PLL se convierte a un sistema de lazo abierto, esto se lleva a cabo por medio de la activación de un interruptor, el cual se encuentra ubicado a la salida del divisor de frecuencia. Dicha salida es totalmente digital, por lo tanto la inclusión del interruptor no penaliza el rendimiento del PLL. El diagrama esquemático es mostrado en la figura 3.

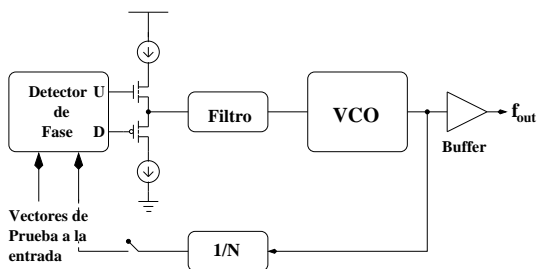


Fig. 3. PLL en Modo de Prueba

Ahora bien, teniendo al PLL como un sistema de lazo abierto, se tiene la capacidad de manipular las señales de entrada del detector de fase; como resultado se puede verificar el rango de frecuencias del PLL por medio de la caracterización de su VCO. Para realizar dicha caracterización, es necesario que los vectores de prueba a la entrada del detector de fase, mantengan una diferencia de fase constante, de manera que la diferencia proporcione el voltaje de control deseado. Para realizar la medición de la frecuencia del VCO, es necesario trasladar esta señal a una salida primaria, esto es realizado por medio de un amplificador de ganancia unitaria (Buffer, por su nombre en inglés).

La cobertura de fallas para el VCO fue investigada bajo un modelo de falla a nivel transistor. Para

cada transistor MOS en el VCO, se consideraron las siguientes fallas:

- Corto circuito entre compuerta y drenaje.
- Corto circuito entre compuerta y fuente.
- Corto circuito entre VDD ó Vss y alguna terminal del transistor MOS.
- Circuito abierto en drenajes.
- Circuito abierto en fuentes.

El corto circuito y circuito abierto, fueron modelados por una resistencia que toma valores desde 1Ω hasta $50k\Omega$ y desde 1Ω hasta $500k\Omega$ respectivamente. Con este modelo de fallas, se simuló un conjunto de 27 fallas de corto circuito y 12 fallas de circuito abierto. Se asume la ocurrencia de una falla a la vez, además las fallas que son estructuralmente similares se descartan.

IV. RESULTADOS

Las simulaciones se realizaron bajo el programa Hspice, utilizando el modelo BSIM3v3 para el transistor MOS, y nivel 49. Los resultados obtenidos en la simulación son mostrados a continuación:

A. Fallas de Corto Circuito en el VCO

En la figura 4, se muestra la caracterización del VCO, la cual se lleva a cabo por medio de un barrido en el voltaje de control. Dicha caracterización muestra que el voltaje óptimo, V_v , para realizar la verificación del VCO es de 3V.

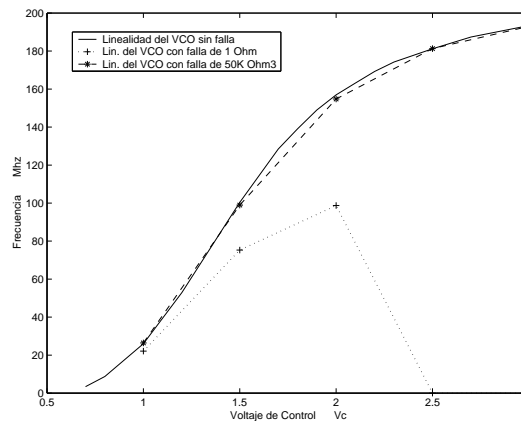


Fig. 4. Fallas de Corto Circuito en el VCO

Las fallas con un rango de valores desde 1Ω hasta $35k\Omega$, producen que el VCO no oscile, por lo tanto son consideradas catastróficas. Sin embargo, la falla con valor de $50k\Omega$, producen una variación muy poco significativa de la frecuencia central del VCO, como es mostrado en la figura 4. Por consecuencia la técnica propuesta esta limitada para la detección de la falla antes mencionada.

B. Fallas de Circuito Abierto en el VCO

En la figura 5, se muestra la caracterización del VCO, en la cual se observa que el voltaje óptimo, V_v , para realizar la verificación, también es de 3V, esto es muy importante, ya que solo se necesita una sola combinación de los vectores de entrada al detector de fase para realizar la verificación. Lo anterior se traduce en una reducción del costo para la realización de la prueba en un PLL.

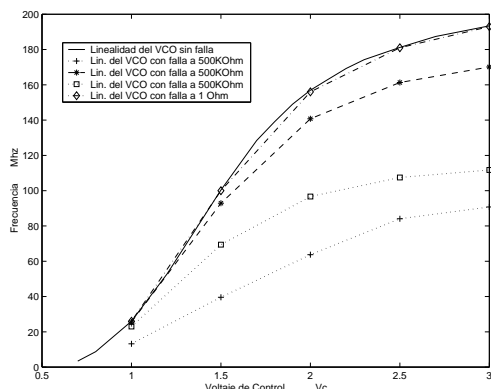


Fig. 5. Fallas de Circuito Abierto en el VCO

Las fallas con valor de $500k\Omega$, son consideradas catastróficas para el funcionamiento del VCO, debido a que estas causan una variación bastante notable de la frecuencia de oscilación del circuito. Como es mostrado en la figura 5, las fallas con valor de 1Ω , son difíciles de ser detectadas, por lo tanto la técnica propuesta esta limitada para detectar dichas fallas.

El comportamiento del VCO sin falla y con falla es mostrado en las figuras 6 y 7 respectivamente.

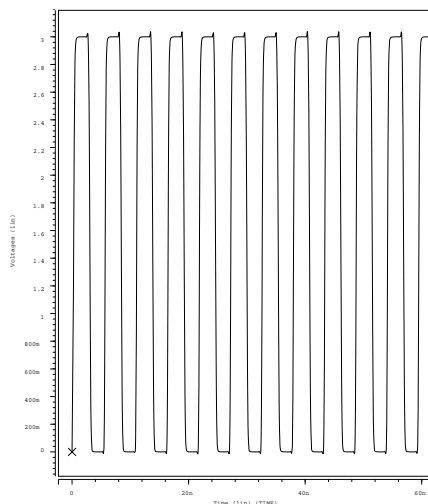


Fig. 6. Frecuencia a la Salida del VCO Sin Falla

La figura 7, muestra la forma de onda de la frecuencia a la salida de VCO en presencia de una falla de $500k\Omega$. En la cual se nota, una degradación bastante considerable en la forma de onda de la frecuencia, además se encuentra una desviación de la frecuencia de aproximadamente 90MHz respecto de la frecuencia central del VCO sin falla.

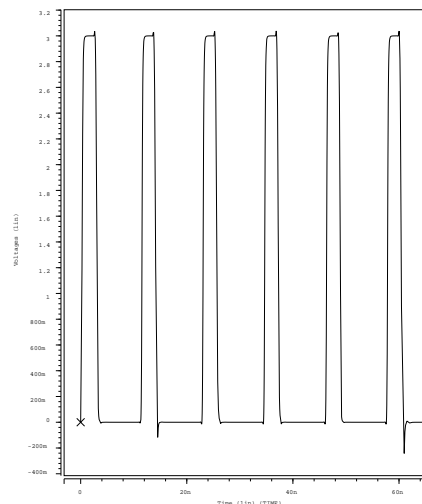


Fig. 7. Frecuencia a la Salida del VCO con Falla de $500k\Omega$

Se realizó un análisis estadístico tal como Monte Carlo, tomando en cuenta las fallas de Corto Circuito y Circuito Abierto, las cuales fueron consideradas difíciles de detectar. Como resultado, dichas fallas presentan una variación en la frecuencia del VCO, que se encuentran dentro del rango permitido por las variaciones en el proceso de fabricación. Es decir, tales fallas se consideran irrelevantes, debido a que el circuito funciona dentro del rango de especificaciones del diseño.

V. CONCLUSIÓN

Una nueva técnica fue propuesta para la detección de fallas catastróficas en PLL, la cual esta basada en la caracterización del rango de frecuencias del VCO, dicha caracterización fue realizada por el hecho de convertir al PLL en un sistema de lazo abierto, esto permitió eliminar los grandes tiempos de prueba a los cuales el PLL es objeto. Por otro lado, para reducir aún más el costo de verificación, sólo fue necesario aplicar una combinación de los vectores de prueba, para obtener el punto óptimo de verificación.

La técnica presentada, permite detectar fallas de corto circuito y circuito abierto, dichas fallas varían de 1Ω hasta $35k\Omega$ y $500k\Omega$ hasta $50k\Omega$ respectivamente.

REFERENCES

- [1] Ian A. Young, Jeffrey K. Greason, and Keng L. Wong, "A pll clock generator with 5 to 110 mhz of lock range for microprocessors," *IEEE Journal Of Solid-States Circuits*, vol. 27, no. 11, pp. 1599–1607, November 1992.
- [2] F. M. Gardner, "Charge-pump phase-lock loops," *IEEE transactions on Communications*, vol. 28, pp. 1849–1858, Nov 1980.
- [3] Seog-Jun Lee, Beomsup Kim, and Kwiro Lee, "A fully integrated low-noise 1ghz frequency synthesizer design for mobile communication application," *IEEE Journal Of Solid-State Circuits*, vol. 32, no. 5, pp. 760–764, May 1997.
- [4] Ralf Stoffels, "Cost effective frequency measurement for production testing: New approaches on pll testing," *International Test Conference*, pp. 708–716, 1996.
- [5] Prashant Goteti, Giri Devarayanadurg, and Mani Soma, "Dft for embedded charge-pump pll systems incorporating ieee 1149.1," *IEEE 1997 Custom Integrated Circuits Conference*, pp. 210–213, 1997.
- [6] F. W. Egan, *Frequency Synthesis by Phase Lock*, John Wiley and Son, 1981.
- [7] N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley, 1992.
- [8] C. Hwang, M. Kokubo, and H. Aoki, "Low voltage/low power cmos vco," *IEICE trans. Fundamental*, vol. E82-A, no. 3, pp. 424–430, March 1999.