



METODOLOGÍA BASADA EN MATLAB PARA DISEÑO DE CIRCUITOS INTEGRADOS CON COMPUERTAS FLOTANTES

X. Siordia-Vásquez¹, A. Díaz-Méndez², J.C. Sánchez-García¹

¹Instituto Politécnico Nacional, SEPI Culhuacan
Santa Ana 1000, San Fco. Culhuacan, Coyoacan, México.

²INAOE – Electrónica
Luis Enrique Erro No. 1 Tonantzintla, Puebla, México, 72840
Email: ajdiaz@inaoep.mx

Resumen. En este trabajo se presenta una herramienta de diseño para circuitos analógicos de bajo voltaje que utilizan la técnica de compuertas flotantes. Este programa elaborado en Matlab, es de gran ayuda en la simplificación del tiempo de cálculo; ya que una desventaja de esta técnica es el gran número de parámetros a calcular, esto implica invertir gran cantidad de tiempo, por lo que, desarrollar una metodología de apoyo que permita calcular de manera sencilla y eficaz los datos necesarios para aplicarlos en el modelado de los circuitos, es la finalidad de este trabajo.

1. INTRODUCCIÓN

El desarrollo de los circuitos MOS con compuertas flotantes (FGMOS) implica el cálculo de muchos parámetros, el realizar alguna modificación por muy pequeña que sea ocasiona una inversión mayor de tiempo al diseñador y por consiguiente retrasa el modelado del circuito.

En la práctica es necesario contar con recursos que permitan la optimización de cálculos; por ello se presenta una propuesta para diseño de circuitos integrados con FGMOS, utilizando como herramienta de apoyo un programa desarrollado en Matlab basado en la metodología de diseño de circuitos con compuertas flotantes, este programa permite realizar los cálculos de cada uno de los parámetros involucrados en esta técnica como son las dimensiones de los transistores convencionales, las capacitancias de entrada y parásitas, las ganancias respectivas a cada capacitancia,

comprobando además que la suma de todas las ganancias debe ser menor que 1, el voltaje de compuerta flotante y por último nos permite dimensionar las placas de acoplamiento.

La ventaja que esta herramienta ofrece, es que puede utilizarse en el diseño de transistores MOS convencionales, aunque su finalidad primordial es el optimizar el tiempo de cálculo en los circuitos con FGMOS..

2. TRASISTOR FGMOS

El MOSFET con compuerta flotante es similar al MOSFET convencional en el sentido que la compuerta flotante es equivalente a la compuerta del transistor MOS, excepto que el voltaje de la compuerta flotante V_{FG} es controlado a través de una capacitancia de acoplamiento como se observa en la figura 1:

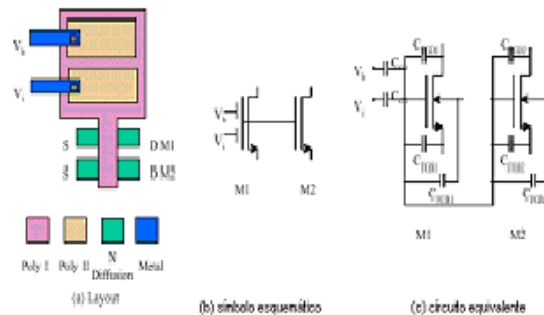


Figura 1. MOSFET con compuertas flotantes

La compuerta flotante esta formada por una capa de silicio sobre el canal n, y básicamente es una capacitancia acoplada a las múltiples entradas.

Mientras que las múltiples compuertas de entrada están formadas por una segunda capa de silicio que se aplica sobre la compuerta flotante.

La corriente del drenador del transistor FGMOS operando en la región de saturación esta dada por:

$$I_D = \beta [K_1(V_1 - V_s) + K_2(V_2 - V_s) + \dots + K_n(V_n - V_s)]^2 \quad (1)$$

La razón de la capacitancia de acoplamiento a la entrada, despreciando las capacitancias de traslape es:

$$K_i = \frac{C_i}{\sum_{(i)} C_i + C_{Gs}} \quad (2)$$

Un problema práctico con los FGMOS es que muchos simuladores de circuitos reemplazan capacitores por circuitos abiertos para el análisis de DC, por esta razón se tienen problemas de convergencia con los nodos de compuertas flotantes.

Considerando el circuito equivalente del transistor FGMOS con múltiples entradas de voltaje V_1, V_2, \dots, V_n , de la figura 2 vemos que C_1, C_2, \dots, C_n , son las capacitancias formadas de compuerta a fuente llamadas también compuertas de entrada

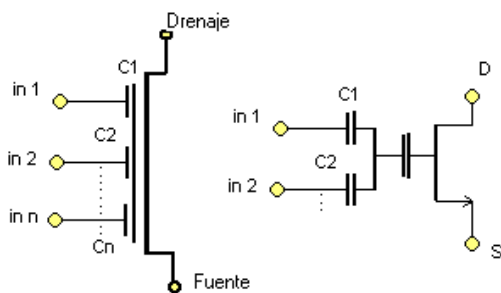


Figura2. Circuito equivalente FGMOS con entradas múltiples

y las capacitancias parásitas o de drenador a compuerta serán C_0 y C'_0 respectivamente, como nos muestra la figura 3.

En el MOS de compuertas flotantes, si se tienen varias entradas y se aplica un voltaje alto de DC de polarización en una de las compuertas, esta será llamada Compuerta de polarización y la señal aplicada en las demás entradas simplemente es llamada señal de compuerta.. El voltaje de umbral equivalente, puede ser ajustado eficientemente desde la señal de compuerta y, esta propiedad puede ser utilizada en aplicaciones de bajo voltaje.

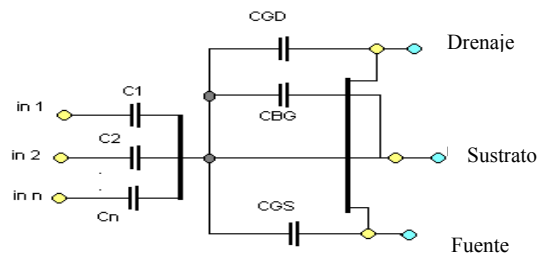


Figura 3 . Capacitancias parásitas del MOSFG

Para Derivar un circuito equivalente en DC que no tenga problemas de convergencia debemos considerar la ecuación de la conservación de las cargas para el nodo de compuerta flotante:

$$C_1(V_1 - V_{FG}) + C_2(V_2 - V_{FG}) + C_n(V_n - V_{FG}) - C_0(V_{FG} - V_s) - C'_0(V_{FG} - V_d) = Q_T \quad (3)$$

Donde V_{FG} y V_s son el voltaje de compuerta flotante y fuente respectivamente, Q_T es la carga total de la compuerta flotante.

3. METODOLOGÍA DE DISEÑO

El proceso que sigue este programa esta basado en la metodología de diseño del FGMOS, es decir, calculamos los parámetros siguiendo las ecuaciones de diseño.

La tecnología Mosis de 1.5 Micras es la que se utiliza en este caso, por lo que de la tabla de datos se tomaron valores ya establecidos como voltaje de umbral, el valor de $k, c_{ox}, c_{gs}, V_{gs}$, λ , además se proponen valores de diseño como I_{ds} y L , para transistores tipo P y N

La versatilidad de esta herramienta es que podemos calcular las dimensiones de transistores convencionales PMOS y NMOS además de FGMOS P y N.

La interfaz utilizada es MATLAB, ya que es práctico y sencillo de utilizar.

El proceso que se sigue se muestra en el diagrama de la figura 4:

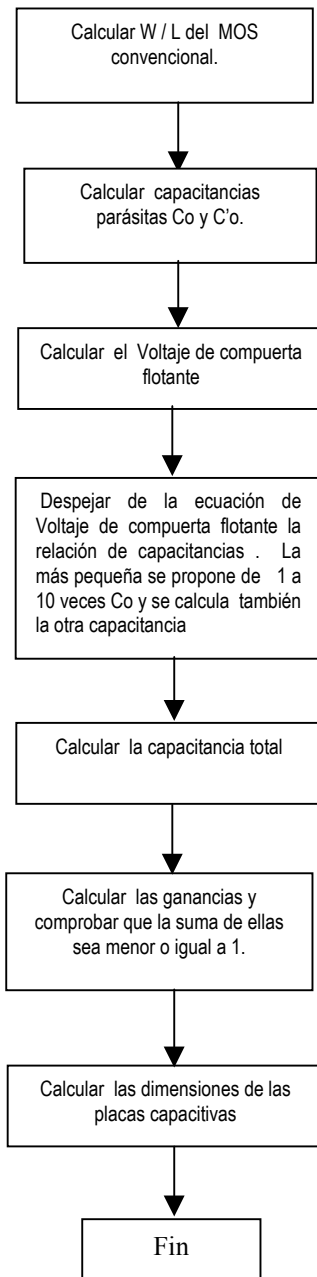


Figura 4. Metodología de diseño basada en FGMOS

Generalmente las medidas de las capacitancias deben estar muy pequeñas en razón de los picofarads, y la suma de las ganancias debe ser menor o igual a 1; el programa nos permite verificar estos detalles de manera que si no se

cumple con ello, se rediseña tomando otros valores propuestos para L, I_{DS} o se toma una relación más pequeña con respecto a C_{ox} .

4. ESPEJO DE CORRIENTE CASCODE

Para comprobar resultados se diseña un espejo de corriente cascode mostrado en la figura 5, utilizando MOS convencionales, proponiendo una I_{DS} de 10 micro amperes y una L de 3,2 micrometros:

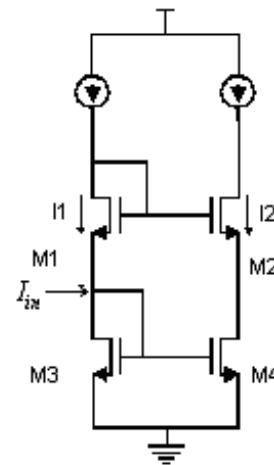


Figura 5 Espejo de corriente cascode

Utilizando la ecuación (4) encontramos las dimensiones de los transistores NMOS, tomando en cuenta que es necesario que los transistores de M_1 a M_4 sean simétricos lo cual simplifica el diseño y se obtiene una relación :

$$\frac{w}{L} = \frac{2I_{DS}}{K'(V_{GS} - V_t)} = 6.866 \text{ um} \quad (4)$$

Con este valor podemos calcular el valor de omega y obtenemos que es de 21.6 micrometros.

El voltaje mínimo de polarización para este circuito esta determinado por la rama de entrada::

$$\begin{aligned} VDD_{MIN} &= 2V_{GS} + V_{DSAT} \\ VDD_{MIN} &= 2(0.8) + 0.2 = 1.8v \end{aligned} \quad (5)$$

Los resultados de desempeño simulado en TSPICE. para este espejo cascode convencionales muestran en la tabla 1.

Valim.	1.8V
Rango de Corriente de entrada	$\pm 10\mu\text{A}$
W_1	$21.6\mu\text{m}$
L_1	$3.2\mu\text{m}$
Rango de Salida	$\pm 10\mu\text{A}$

Tabla 1. Medidas del desempeño y polarización del circuito.

5. ESPEJO CASCODE CON FGMOS

Ya que el cascode convencional nos ofrece una amplia impedancia de salida, se pretende aprovechar esta característica en el diseño de circuitos de bajo voltaje con compuertas flotantes.

Tomando como base esta estructura se propone rediseñarla y hacer que funcione con un VDD mínimo de 1.2 volts, por lo que se aplican compuertas flotantes a M_3 y M_4 , como se muestra en la figura 6:

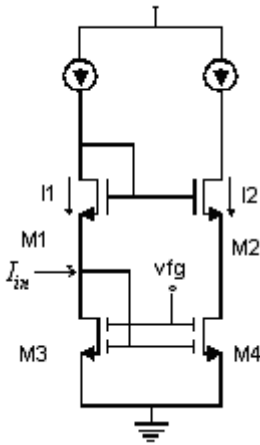


Figura 6: Espejo de corriente cascode con FGMOS

De la ecuación (4) de I_{DS} del transistor MOS operando en la región de saturación se encontraron las dimensiones de los transistores convencionales, que servirán como base para el modelado del FGMOS.

Con estos datos podemos calcular los valores para C_o y C_i a través de:

$$FC_o = C_{ox}WL + C_{GSDO} * W = 8415^{-15} \text{Farad} \quad (5)$$

$$C_o = C_{GSDO} * W = 3.98^{-15} \text{Farads} \quad (6)$$

Si suponemos que $Q_T = 0$ la ecuación 3 se simplifica el voltaje de compuerta flotante estará dado por :

$$V_{FG} = a_1V_1 + a_2V_2 + \dots + a_nV_n + a_oV_S + a'_oV_D \quad (7)$$

Sin embargo podemos expresar también el V_{FG} en términos de V_{eff} ($V_{GS} - V_T$) para los transistores NMOS y PMOS respectivamente y despejarlo de:

$$V_{FG} - V_{SD} - V_{TH} = V_{eff} \quad (8)$$

$$V_{FG} - V_S - V_{TH} = V_{eff} \quad (9)$$

Para este caso se utilizó la ecuación 8 para NMOS y se obtuvo un voltaje de compuerta flotante de 0.8 volts.

El voltaje de umbral del transistor MOS con respecto a la terminal 1 depende del voltaje de umbral la compuerta flotante; por lo que el voltaje de la compuerta flotante tiene una relación directa con las capacitancias de entrada de acuerdo con la ecuación 10:

$$V_{FG} = V_{c1} \frac{C_1}{C_1 + C_2} + V_{c2} \frac{C_2}{C_1 + C_2} \quad (10)$$

De esta expresión encontramos la relación de C_2 con respecto a C_1 y esta dada por:

$$1C_2 = 0.4C_1$$

$$\frac{C_2}{C_1} = 0.4$$

La que tengan el valor más pequeño de las dos puede tomar un valor de cuando mucho $10C_o$ y otra se despejara de la relación anterior, de modo que:

$$C_1 = 10C_o = 83.04^{-14} \text{farads}$$

$$C_2 = 0.4C_1 = 33.216^{-14} \text{farad}$$

La ecuación para calcular el punto de operación en DC del nodo de compuerta flotante que satisface la ecuación 3 es:

$$a = \frac{C_m}{(C_o + C_i + C_1 + C_2 + \dots + C_n)} \quad (11)$$

El resultado de esta ecuación es un factor de control de ganancia para el voltaje de fuente, es decir, es la razón de las capacitancias de entrada asociadas a cada voltaje de control sobre la capacitancia total.

$$C_T = (C_O + C_{\dot{O}} + C_1 + C_2 + \dots C_n)$$

Para cada capacitancia se tienen un factor de control asociado a la misma; es decir, tenemos $a_0, a_1, a_2, \dots, a_n$, de modo que los valores de control para cada capacitancia de entrada y para las capacitancia parásitas son calculadas por la ecuación 11 y se obtiene:

$$a_o = \frac{C_o}{(C_O + C_{\dot{O}} + C_1 + C_2 + \dots C_n)} = 0.124$$

$$a_{o'} = \frac{C_{i_o}}{(C_O + C_{\dot{O}} + C_1 + C_2 + \dots C_n)} = 0.0059$$

$$a_1 = \frac{C_{1n}}{(C_O + C_{\dot{O}} + C_1 + C_2 + \dots C_n)} = 0.6213$$

$$a_2 = \frac{C_2}{(C_O + C_{\dot{O}} + C_1 + C_2 + \dots C_n)} = 0.2485$$

Comprobando la suma de ganancias se obtuvo un valor de 0.9997

Con estos datos solo resta calcular las dimensiones de las placas capacitivas a partir de la ecuación (12):

$$W_{ci} = \frac{C_{in}}{(C_{ox} * L_c)} \quad (12)$$

La L de las placas capacitivas es directamente proporcional a la razón empleada para el cálculo de C_1 , es decir si se emplea un factor de 10 C_{ox} , L será 10 veces más grande que la L del transistor convencional.

Para esta caso la L del MOSFG es de 32 micrometros y aplicando la ecuación (12) tenemos:

$$W_{ci} = \frac{C_{in}}{(C_{ox} * L_c)}$$

$$W_{ci} = \frac{C_1}{(C_{ox} * L_c)} = 23.2 \mu m$$

$$W_{c'} = 69.6 \mu m$$

Los cálculos de los parámetros de diseño son calculados a través de la herramienta diseñada en Matlab y los resultados obtenidos siguiendo las consideraciones de diseño de los FGMOS se muestran en la tabla 2.

6. RESULTADOS DE LA SIMULACIÓN

Los parámetros para el modelado de los circuitos necesarios para esta técnica son: capacitancias parásitas, capacitancias de las compuertas de entrada, ganancias, voltajes de compuerta y dimensiones de cada uno de los transistores que se involucran en el diseño a realizar. Adicional a estos parámetros el modelo para la simulación en SPICE necesita de resistencias de valores muy grandes RG (1000G).

Valim.	1.2V
Rango de Corriente de entrada	$\pm 10 \mu A$
W_1 / L_1 ($M_1 = M_2$)	$21.6 \mu m / 3.2 \mu m$
Capacitancias Parásitas	$C_O = 84.15 \text{ pF}$ $C'_{O'} = 3.98 \text{ pF}$
Placas Capacitivas	$C_1 = 83.04 \text{ e}^{-14}$ $C_2 = 33.21 \text{ e}^{-14}$
Ganancias	$A_o = 0.124$ $A'_{o'} = 0.0059$ $A_1 = 0.6213$ $A_2 = 0.2485$
Ganancia Total	$A_T = 0.9997$
Voltaje de Compuerta Flotante	$V_{FG} = 0.8 \text{ Volts}$
Dimensión de las placas capacitivas	$W_{C1} = 23.3 \mu m$ $W_{C2} = 69.6 \mu m$ $L_{C1} = L_{C2} = 32 \mu m$

Tabla 2. Medidas de desempeño y polarización del circuito FGMOS

El modelo completo para el modelado en SPICE del FGMOS lo vemos en la figura 7:

Ambos circuitos fueron simulados en TSPICE y los resultados son comparados.

En la figura 8, se muestra la gráfica en DC del cascode convencional, en la que se puede observar que este tiene una buena linealidad, con un rango de entrada de $\pm 10 \mu A$. En la figura 9, se muestran la gráfica en DC del cascode con FGMOS; comparando ambos resultados se observa que el buen desempeño del circuito propuesto.

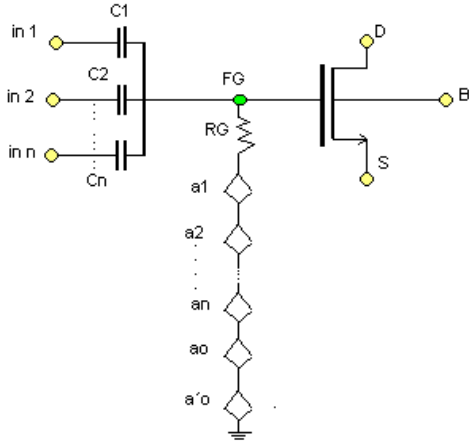


Figura 7. Modelo del FG MOS completo para su simulación en TSPICE.

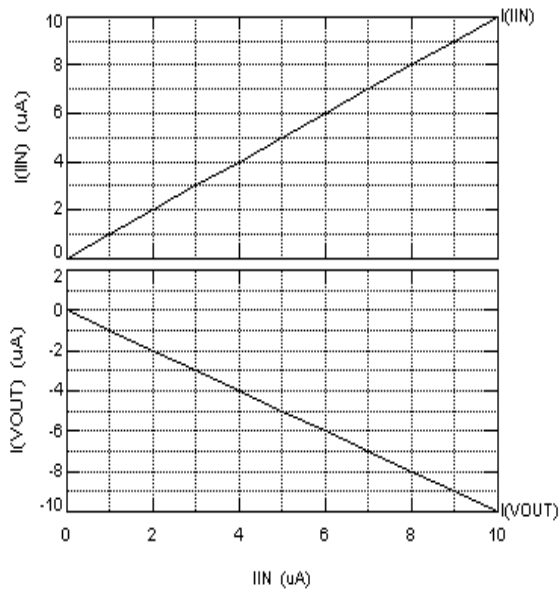


Figura 8. Gráfica en DC espejo cascode convencional

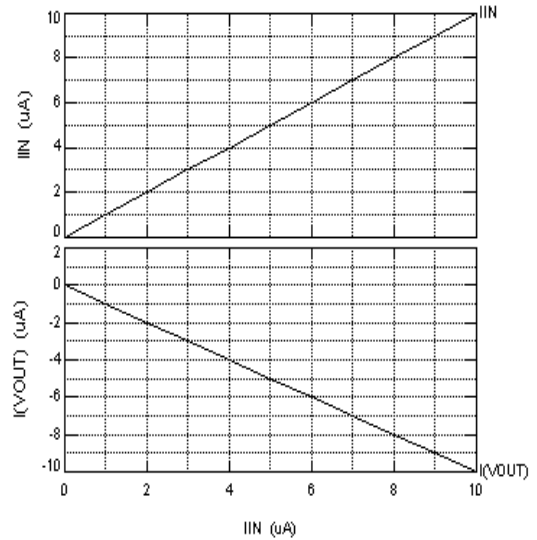


Figura 9. Gráfica en DC del cascode con FG MOS

Reconocimiento

Este trabajo es apoyado por el Consejo Nacional de Ciencia y Tecnología (CONACyT) a través del proyecto J34573-A

7. CONCLUSIONES

Contar con una metodología de apoyo para el diseño de circuitos integrados, le permite al diseñador optimizar recursos y minimizar el tiempo de diseño y cálculo.

La metodología presentada fue implementada en MATLAB™, para diseño de circuitos MOS con compuerta flotante, comprobándose con el diseño de un espejo de corriente cascode para una tecnología de 1.5 micrometros de MOSIS.

Los resultados demuestran la correcta aplicación de la técnica y su utilización en el diseño de circuitos de bajo voltaje.

8. REFERENCIAS

[1] J.Ramirez Angulo and G. González Altamirano and S.C Choi "Modeling Multiple-Input Floating-Gate Transistor for Analog Signal Processing": International Symposium on Circuits and Systems, June .9- 12 ,1997, Hong Kong

- [2] J.Ramirez Angulo and G. González Altamirano and S.C Choi “*Low Supplyng Voltage OTA Architectures using Floating Gate Transistor*”
- [3] S. Vlassis and S. Siskos “*Differential-Voltage Attenuator Based on Flating-Gate MOS Trasistor and its Applications*” Fundamental Theory and Aplications, Vol. 48,11,november 2001.
- [4] R. J. Wiegerink, “A CMOS Analog four-quadrant Current Multiplier”. *Proceedings ISCAS*, pp. 2244-2247, 1991.
- [5] A.Díaz Sanchez “Apuntes de Clase de Diseño de Circuitos de Bajo Voltaje” Instituto Nacional de Astrofísica, Óptica Y Electrónica. Puebla, Mexico Año 2001