

DISEÑO DE *CURRENT CONVEYORS* NEGATIVOS DE SEGUNDA GENERACIÓN USANDO TECNOLOGÍA CMOS

Torres-Muñoz Delia, Tlelo-Cuautle Esteban
 BUAP-FCE e INAOE
 Departamento de Electrónica
e.tlelo@ieee.org

RESUMEN

Se presenta el diseño de *Current Conveyors* negativos de segunda generación, conocidos como CCII-. Los diseños se realizaron con tecnología CMOS de 0.35μ de AMS usando el modelo BSIM3v3. Los resultados de simulación en HSPICE se comparan con respecto a la respuesta en frecuencia, considerando el voltaje de alimentación y las corrientes de polarización. Finalmente, para demostrar la utilidad del CCII-, se muestra una aplicación a filtros analógicos en modo voltaje y modo corriente.

1. INTRODUCCION

El concepto de amplificador ideal [1], facilita la descripción del comportamiento de varios elementos activos tales como el amplificador operacional (opamp), el amplificador operacional de transconductancia (OTA), y el CCII- [2]. Resulta claro que el CCII- [1-5], puede considerarse como un elemento activo universal de tres terminales, con el cual es posible implementar numerosas aplicaciones [5]. Dentro de las generaciones acerca de *Current Conveyors*, se encuentra el negativo de segunda generación, mejor conocido como CCII-. Este bloque esta formado por dos elementos: un seguidor de voltaje y un seguidor de corriente. Idealmente, ambos seguidores tienen ganancia unitaria, sin embargo, realmente la ganancia esta cercana a la unidad y ésta varia con respecto a la frecuencia. En este trabajo, se presenta el diseño del CCII- usando diferentes celdas básicas y diferentes topologías de polarización. Los resultados de simulación se concentran en gráficas de respuesta en frecuencia de acuerdo al nivel de voltaje de alimentación, para determinar el desempeño de cada CCII-.

2. *CURRENT CONVEYORS* NEGATIVOS DE SEGUNDA GENERACION

Las características ideales del CCII- son: ganancia de voltaje unitaria, ganancia de corriente unitaria negativa, resistencia de entrada r_x igual a cero y resistencia en r_y y r_z igual a infinito. El diagrama esquemático de un CCII- se muestra en la Figura 1, mientras que las expresiones

matemáticas que determinan su comportamiento ideal se dan en la ecuación (1).

$$\begin{aligned} v_y &= v_x \\ i_y &= 0 \\ i_z &= i_x \end{aligned} \quad (1)$$

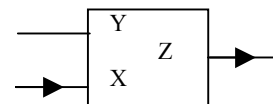


Figura 1. Representación esquemática de un CCII-.

Para facilitar la descripción de los diferentes diseños, éstos se numeran independientemente de su topología.

2.1 Diseño de CCII-: Circuito 1

Para realizar un seguidor de voltaje, puede usarse un amplificador diferencial, como se muestra en la Figura 2. En este circuito, el par diferencial esta formado por los transistores M1 a M5. El seguidor de corriente esta formado por los transistores M6 a M13. Asumiendo que los pares de transistores M1-M2, M3-M4, M6-M7, y M8-M9 son iguales [4], entonces se cumplen las expresiones ideales dadas en la ecuación (1).

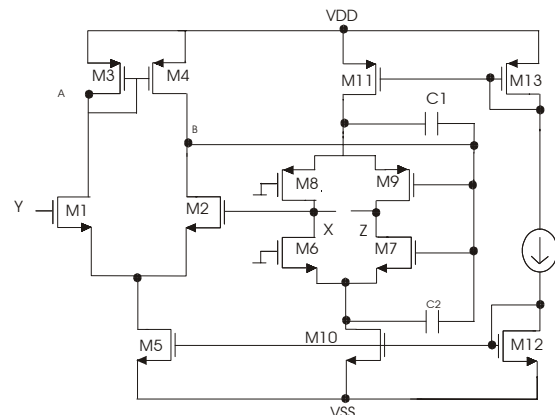


Figura 2. Diseño de un CCII- con par diferencial y buffer de corriente.

Esta implementación del CCII- presenta un pico en la respuesta en frecuencia de magnitud y fase. Asimismo,

presenta un nivel de voltaje de Offset generado por un error en el espejo de corriente de los transistores M3 y M4, debido a la modulación por longitud de canal [4].

2.2 Diseño de CCII-: Circuito 2

La diferencia entre los voltajes V_A y V_B del CCII- de la Figura 2, provoca un des-balance creando pequeñas corrientes. Aplicando un método de compensación, como se muestra en la Figura 3, se logra que M3 sea polarizado con ayuda de V_{c1} [4].

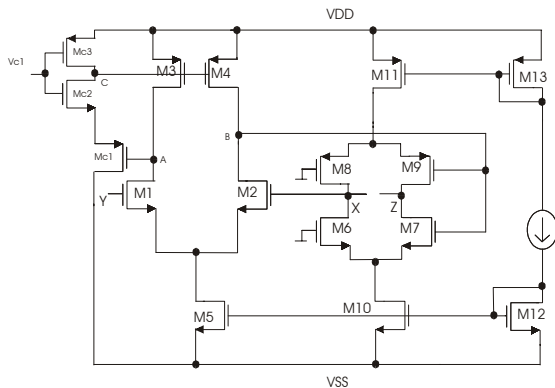


Figura 3. Diseño de un CCII-: Compensación del CCII- de la Figura 2.

2.3 Diseño de CCII-: Circuito 3

Otro método de compensación, para eliminar el voltaje de offset entre V_x y V_y del CCII- de la Figura 2, consiste en igualar V_A con V_B para algún valor de I_x , haciendo que el voltaje de compuerta de M3 sea igual a la diferencia entre V_A y V_B multiplicada por una ganancia muy alta. Cuando V_c consigue un valor muy grande, la diferencia entre V_A y V_B es igual a cero e independiente de I_x [4]. Esta compensación se muestra en la siguiente Figura.

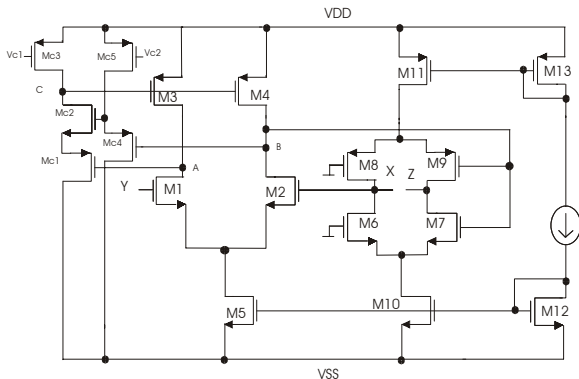


Figura 4. Diseño de un CCII-: Compensación del CCII- de la Figura 2.

2.4 Diseño de CCII-: Circuito 4

Una mejora para el rango dinámico en el diseño del seguidor de voltaje, se logra usando pares diferenciales complementarios NMOS y PMOS [6,7], como se muestra en la Figura 5. Los transistores M1 y M4 son NMOS y conducen la parte positiva mientras que los transistores M2 y M3 son PMOS y conducen la parte negativa, logrando una excursión riel a riel. Ahora, para el diseño del seguidor de corriente se usan los transistores M5 a M8. Los transistores M12 y M15 espejan la corriente de la terminal X a la terminal Z [3].

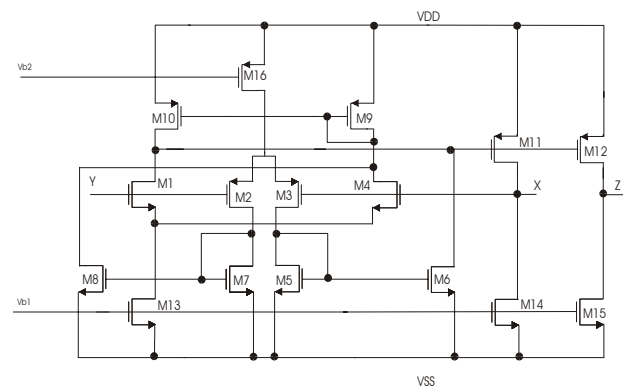


Figura 5. Diseño de un CCII- con máximo rango dinámico y salida clase A.

2.5 Diseño de CCII-: Circuito 5

Una etapa de salida clase A disipa potencia que no es necesaria. Una mejora en el desempeño de la etapa de salida, es usar la etapa clase AB tipo push-pull, hacia la terminal X [3], como se muestra en la Figura 6.

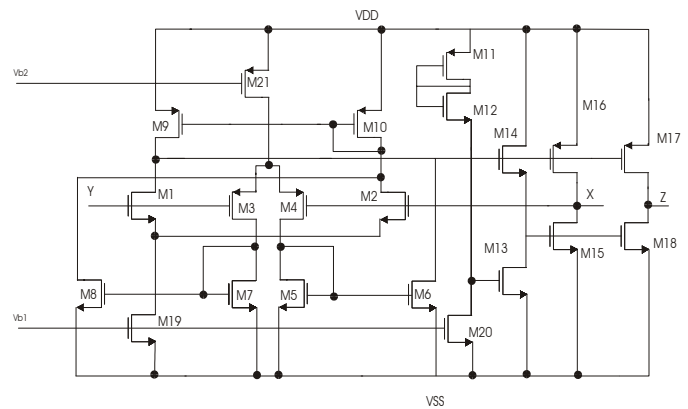


Figura 6. Diseño de un CCII- con máximo rango dinámico y salida clase AB.

La etapa clase AB evita que los transistores consuman corriente, i.e. se encuentran en *standby* (no todo el tiempo se encuentra trabajando), con esto se logra que el voltaje de polarización pueda reducirse al orden de ± 1.2 V.

2.6 Diseño de CCII-: Circuito 6

Una implementación diferente del CCII- se muestra en la Figura 7. Puede observarse que el seguidor de voltaje se diseña con base en un puente de diodos [8], el cual se acopla fácilmente a una etapa de salida clase AB.

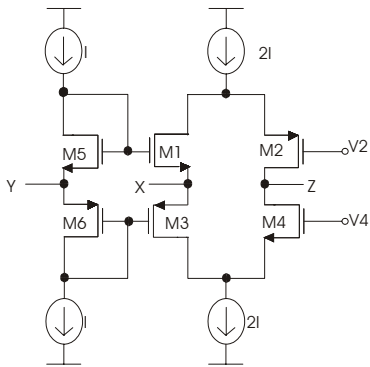


Figura 7. Diseño de un CCII- con polarización ideal.

Al aplicar la ley de voltajes de Kirchoff a la malla formada por M5, M6, M1, y M3, los voltajes $V_{gs1} = V_{gs5}$ y $V_{gs3} = V_{gs6}$, lo cual obliga al voltaje de la terminal X a seguir el voltaje de la terminal Y [8]. Para lograr esto, las dimensiones de estos transistores se diseñan como:

$$\left(\frac{W_1}{L_1}\right) = \left(\frac{W_5}{L_5}\right) \text{ y } \left(\frac{W_3}{L_3}\right) = \left(\frac{W_6}{L_6}\right) \quad (2)$$

La corriente que circula por el drenaje de M₁ y M₃ es la misma que circula por el drenaje de M₅ y M₆. Para polarizar este circuito, pueden adecuarse los diferentes espejos de corriente conocidos [6,7]. En la Figura 8, se ha diseñado una polarización con espejo para bajo voltaje [7].

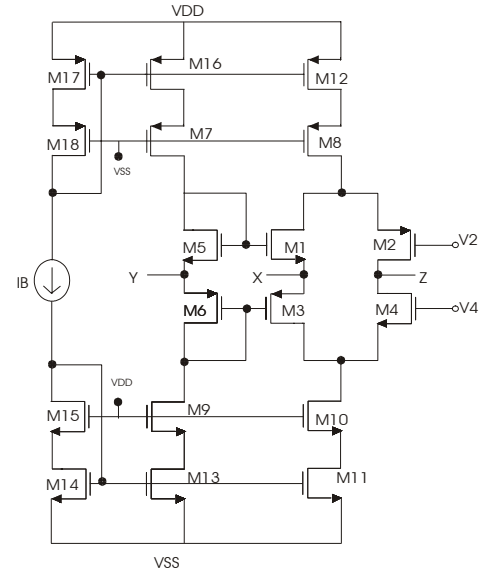


Figura 8. Diseño de un CCII- polarizado con espejo para bajo voltaje.

2.6 Diseño de CCII-: Circuito 7

La polarización del CCII- de la Figura 7, puede hacerse usando espejos de corriente cascode como se muestra en la Figura 9, sin embargo debe tomarse en cuenta que estos espejos limitan la excursión de la señal.

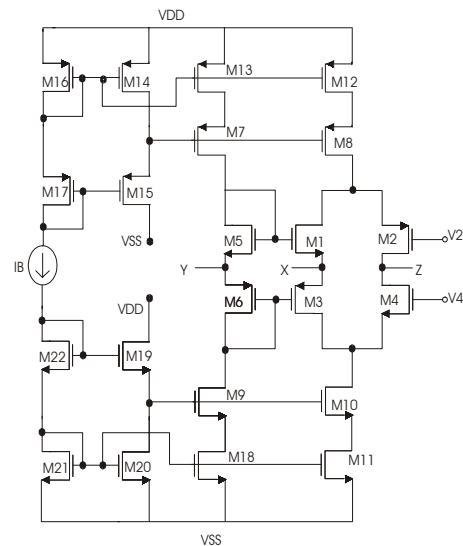


Figura 9. Diseño de un CCII- polarizado con espejo cascode.

3. DIMENSIONES DE LOS MOSFET Y NIVELES DE POLARIZACIÓN



En la tabla 1 se muestran los niveles de polarización de los CCII- diseñados en la sección anterior.

Transistores	Voltaje de alimentación(V)
Circuito1	±3.3
Circuito2	±3.3
Circuito3	±3.3
Circuito4	±1.5
Circuito5	±1.2
Circuito6	±1.5
Circuito7	±1.5

Tabla 1. Voltajes de alimentación.

En las Tablas siguientes se muestran las dimensiones de los MOSFETs de los CCII- diseñados, considerando la clasificación por circuitos numerados.

Transistores	W(•m)/ L(•m)
M1,M2	3/3
M3,M4	90/3
M6,M7	60/1
M8,M9	120/1
M5,M10,M12	30/3
M11,M13	90/3

Tabla 2. Dimensiones del CCII-: Circuito 1.

Transistores	W(•m)/ L(•m)
MC1	90/3
MC2	60/3
MC3	6.6/3

Tabla 3. Dimensiones del CCII-: Circuito 2.

Transistores	W(•m)/ L(•m)
MC1,MC2	30/3
MC3	1/3
MC4,MC5	9/90

Tabla 4. Dimensiones del CCII-: Circuito 3.

Transistores	W(•m)/ L(•m)
M1,M4	5/1
M2,M3	7.5/1
M5,M6,M7,M8	5/1
M9,M10	10/1
M11,M12,M16	55/1
M13,M14,M15	20/1

Tabla 5. Dimensiones del CCII-: Circuito 4.

Transistores	W(•m)/ L(•m)
M1,M2	20/1
M3,M4	30/1
M5,M6,M7,M8,M20	20/1
M9,M10	40/1
M11,M16,M17,M19	160/1
M12,M15,M18	90/1
M13,M14	1/1
M21	180/1

Tabla 6. Dimensiones del CCII-: Circuito 5.

Transistores	W(•m)/ L(•m)
M1,M4,M5	180/1

M2,M3,M6	440/1
M7,M16,M17,M18	90/1
M9,M13,M14,M15	38/1
M8,M12	180/1
M10,M11	76/1

Tabla 7. Dimensiones del CCII-: Circuito 6.

Transistores	W(•m)/ L(•m)
M7,M13,M14,M15,M16,M17	100/1
M9,M18,M19,M20,M21,M22	34/1
M8,M12	68/1
M10,M11	200/1

Tabla 8. Dimensiones del CCII-: Circuito 7.

4. RESULTADOS DE SIMULACIÓN

Los resultados de simulación con HSPICE, se agrupan de acuerdo al nivel de alimentación, según la Tabla 1. De esta manera, la respuesta en frecuencia de los CCII- polarizados a $\pm 3.3V$ se muestra en las Figuras 10 y 11. Para medir la ganancia unitaria en voltaje, se conecta la señal de voltaje en la terminal Y, y se mide la salida en la terminal X conectando una R_x de 100k. Para medir la ganancia unitaria en corriente, la señal de corriente se conecta al nodo X y la salida se ha medido en Z, conectando una R_z de 100k.

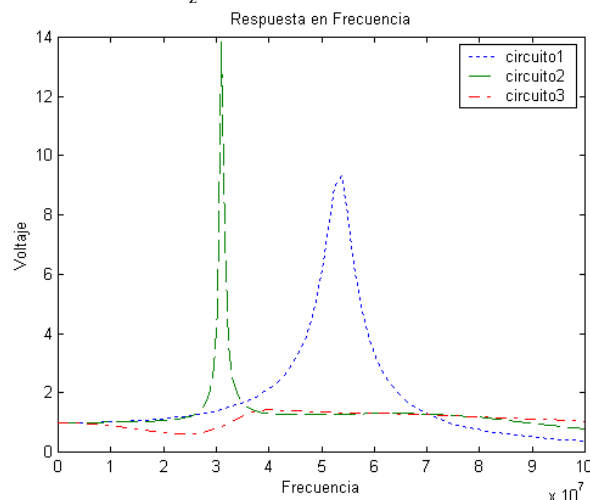


Figura 10. Respuesta en frecuencia de los diseños de un CCII- de los circuitos 1 al 3 polarizados a $\pm 3.3V$.

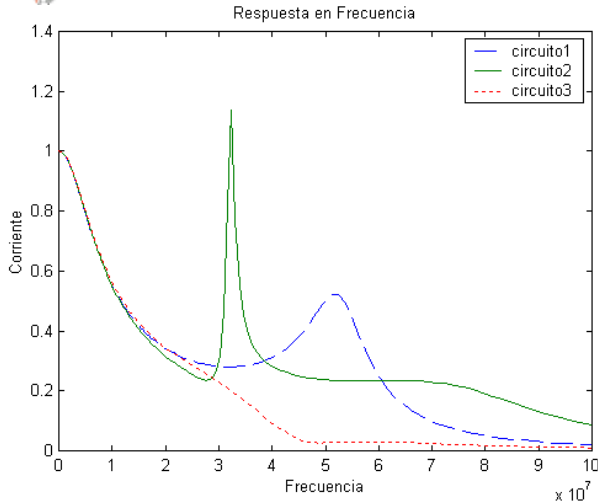


Figura 11. Respuesta en frecuencia de los diseños de un CCII- de los circuitos 1 al 3 polarizados a $\pm 3.3V$.

Como puede observarse, para estos tres circuitos, basados en par diferencial a la entrada, la ganancia unitaria en voltaje se mantiene hasta aproximadamente 1MHz, pero la ganancia unitaria en corriente esta muy por debajo, por lo que estos circuitos trabajan por debajo de 1MHz.

Por otra parte, los diseños del CCII- con voltaje de alimentación de $\pm 1.5V$, representados por los circuitos 4 al 7, presentan mejor desempeño. Para medir la ganancia unitaria en voltaje se ha utilizado la misma topología de los circuitos 1 al 3, mientras que para medir la ganancia unitaria en corriente, se ha conectado una R_z de 1k. La respuesta en frecuencia se muestra en las Figuras 12 y 13. En estos diseños la ganancia unitaria en voltaje y corriente se mantiene hasta 10MHz, concluyendo que estos CCII- trabajan por arriba de 10MHz. El CCII- con mejor respuesta en frecuencia es el circuito 6 [8].

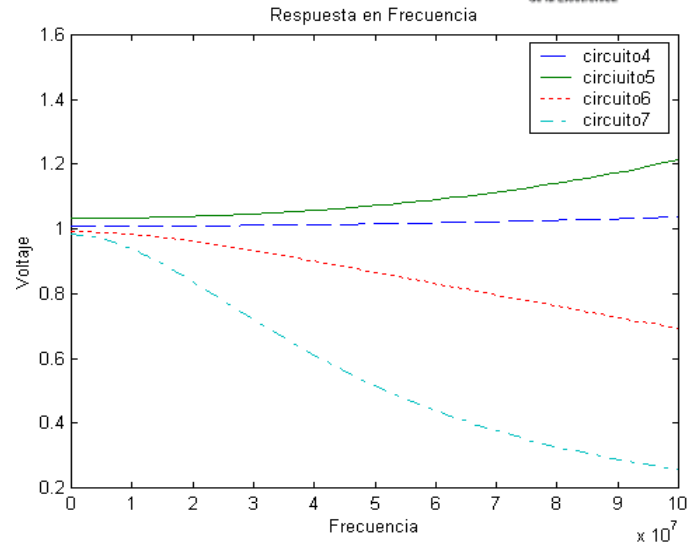


Figura 12. Respuesta en frecuencia de los diseños de un CCII- de los circuitos 4 al 7 polarizados a $\pm 1.5V$.

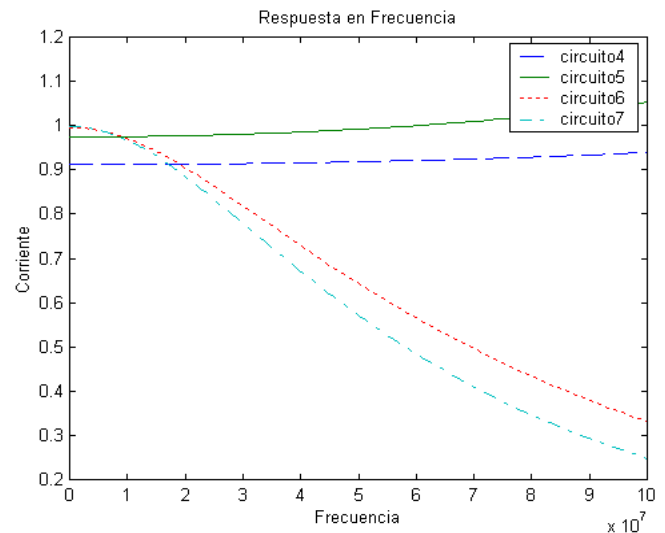


Figura 13. Respuesta en frecuencia de los diseños de un CCII- de los circuitos 4 al 7 polarizados a $\pm 1.5V$.

5. APLICACIONES

Al medir la impedancia parásita del CCII- en la terminal X, ésta vale 448Ω como se observa en la Figura 14. Con este valor, y uniendo dos CCII- como se muestra en la Figura 15, es posible implementar la función de un OTA [9]. Con el OTA basado en CCII-, puede entonces implementarse un filtro pasa-bajas de primer orden en modo voltaje y modo corriente, como se muestra en las Figuras 16 y 17 [9]. La respuesta del filtro, en modo voltaje y modo corriente debe ser la misma, según propuesta en [9]. Usando un capacitor con valor de

$C=1.6nF$, se genera el polo dominante alrededor de 100kHz, como se muestra en la Figura 18. Con esto se comprueba que los filtros son adjuntos [9].

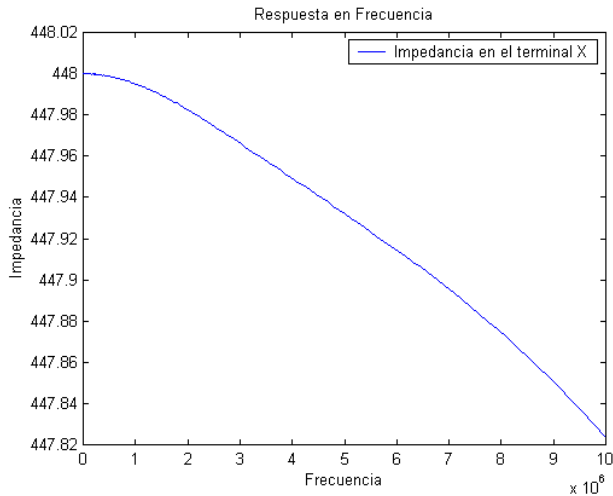


Figura 14. Impedancia parásita del CCII- del circuito 6.

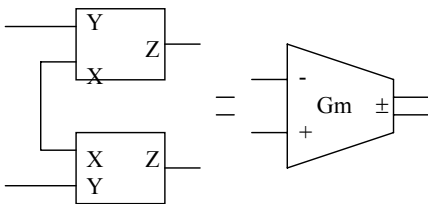


Figura 15. Implementando un OTA con dos CCII-.

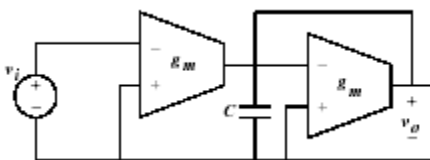


Figura 16. Filtro pasa-bajas de primer orden en modo voltaje, usando OTAs construidos con CCII-s.

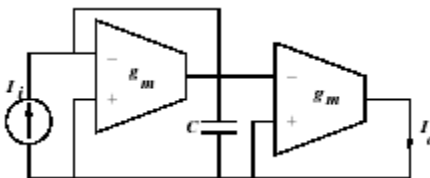


Figura 17. Filtro pasa-bajas de primer orden en modo corriente, usando OTAs construidos con CCII-s.

Si el CCII- de la Figura 8 se usa para implementar un GIC, tal como se muestra en [10], arreglado con cuatro CCII-, y para diferentes valores de capacitancia del GIC, la respuesta en frecuencia del inductor implementado con

CCII-s se muestra en la Figura 19. Puede observarse que el arreglo de cuatro CCII- y un capacitor, aproxima bastante bien, la impedancia de un inductor de 1mH y por debajo de este valor. Las aplicaciones de este inductor pueden ubicarse en diseño de filtros en modo corriente y/o modo voltaje [8]-[10].

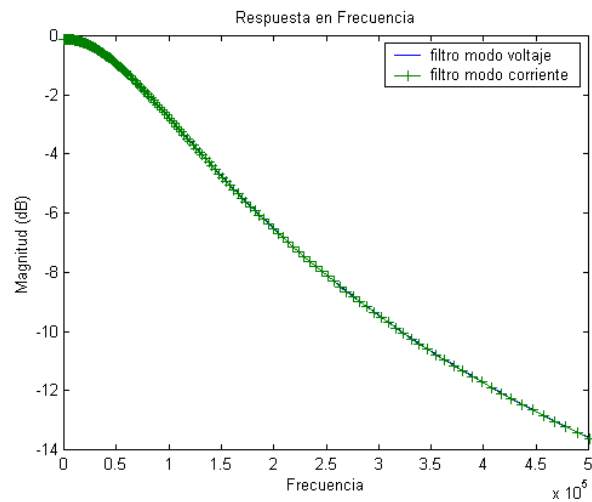


Figura 18. Respuesta en frecuencia del filtro pasa-bajas de primer orden en modo voltaje y modo corriente.

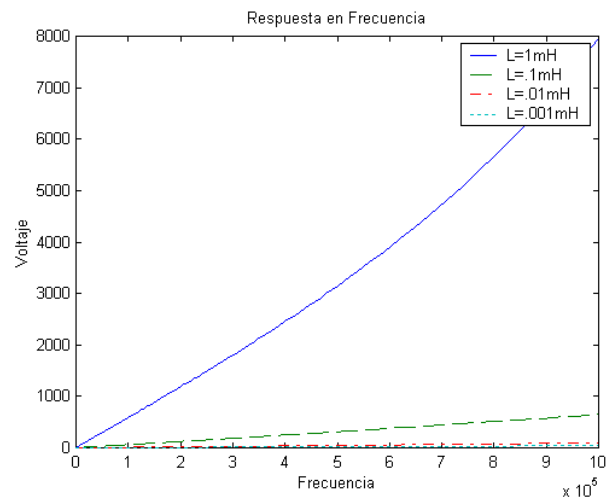


Figura 19. Respuesta en frecuencia del GIC aproximando la impedancia de un inductor, con $I_{in}=1$ en AC.

6. CONCLUSION

Se han presentado diferentes diseños de current conveyors negativos de segunda generación. Los diseños se han clasificado por el nivel de voltaje de alimentación. Se concluye del uso del CCII- mostrado en la Figura 8 (circuito 6), cuya respuesta en frecuencia mejora las otras



7 alternativas. Aprovechando la impedancia parásita en el nodo X, se ha demostrado la utilidad del CCII- para aplicaciones en filtrado de señales. Adicionalmente, se ha comprobado el uso del teorema de red adjunta para implementación de filtros en modo voltaje y corriente con CCII-s. Finalmente, el diseño de un GIC para aproximar el comportamiento de un inductor, usando cuatro CCII-s y un capacitor, demuestran la universalidad de este dispositivo activo.

7. AGRADECIMIENTOS

Este trabajo ha sido parcialmente apoyado por INAOE.

REFERENCIAS

- [1] Rafael Cabeza and Alonso Carlosena “Analog Universal Active Device and Applications”, Analog Integrated Circuits and Signal Processing, 12, pp.153-168 (1997).
- [2] Hanspeter Schmid, “Approximating the Universal Active Element ”IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 47, No.11, November 2000, pp.1160-1169.
- [3] Hassan O. Elwan and Ahmed M. Soliman, “Low-Voltaje Low-Power CMOS Current Conveyors”, IEEE Transactions on Circuits and Systems-I: Fundamental , Theory and Aplicatións, Vol. 44, No 9, September 1997, pp.828-835.
- [4] I.A Awad and A. M.Soliman “New CMOS Realization of the CCII- ”, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 46, April ,1999, pp.460-463.
- [5] Alain Fabre and Mustapha Alami “A Precise Macromodel for Second Generation Current Conveyors”, IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, Vol. 44, No. 7 July 1997 pp.639-642.
- [6] Roubin Gregorian, “Introduction to CMOS OP-AMPS and comparators”. John Wiley & SONS,INC.1999.
- [7] Paul R. Gray & Robert G. Meyer, “Análisis y diseño de circuitos integrados”. Prentice may, 1995.
- [8] Rafael Cabeza Laguna, “Diseño y aplicaciones de un Elemento Activo Universal”, Universidad Pública de Navarra. Tesis de Doctorado, 1996.
- [9] Tlelo-Cuautle E., Sarmiento-Reyes A., *Transforming OTA-C filters from voltage- to current-mode*, IEEE ICCDCS2002, pp. C022-1-4, ISBN: 0-7803-7381-2, Aruba, April 2002.
- [10] Tlelo-Cuautle Esteban, *Development of an efficient bias method within an environment of design automation for analog electronic circuits*, Tesis de Doctorado, INAOE, Enero 2000.