



# Current Conveyor de Segunda Generación y Bajo-Voltaje

Juan López-Hernández, José Alejandro Díaz-Méndez y Alejandro Díaz-Sánchez  
Grupo de Diseño de Circuitos Integrados  
Instituto Nacional de Astrofísica Óptica y Electrónica  
Luis Enrique Erro #1, Sta. Ma. Tonantzintla, Puebla, México  
[jlopezh@susu.inaoep.mx](mailto:jlopezh@susu.inaoep.mx), [ajdiaz@inaoep.mx](mailto:ajdiaz@inaoep.mx), [adiaszsan@inaoep.mx](mailto:adiaszsan@inaoep.mx)

## RESUMEN

Se presenta el diseño de un Current Conveyor de Segunda Generación y Bajo-Voltaje, con operación de riel-a-riel. El CCII es implementado usando dos técnicas: Transistores MOS en inversión débil, lo cual permite el uso de pequeñas corrientes de polarización, y Compuertas flotantes (Floating Gates), para aumentar el rango. El concepto de retroalimentación positiva parcial es usado en la implementación del OTA requerido.

## 1. INTRODUCCION

El diseño de circuitos integrados con características de Baja-Potencia y Bajo-Voltaje, son de gran interés para muchas aplicaciones que usan baterías como fuentes de alimentación. Debido a la necesidad de los sistemas digitales de operar debajo de 1.5V, los diseñadores de modo-mixto requieren implementar soluciones para obtener un buen desempeño en la parte analógica. Diversas técnicas han sido reportadas recientemente [1], las cuales pueden ser usadas para resolver este problema. En el presente trabajo, dos técnicas analógicas de Bajo-Voltaje han sido utilizadas: topologías translineales de transistores MOS operando en inversión débil, y estructuras de compuertas flotantes.

El diseño de circuitos-translineales es una técnica que permite obtener un buen rendimiento con fuentes de alimentación de voltaje reducido. Una ventaja que presenta dicha técnica es la máxima transconductancia obtenida por el transistor MOS operando en inversión débil. Además, al operar en la región de sub-umbral, voltajes de polarización y de alimentación reducidos pueden ser usados. Un problema presentado por los transistores MOS en esta región es la baja velocidad alcanzada por estos sistemas, debido principalmente a las bajas corrientes de drenaje usadas en dichas aplicaciones.

Compuertas Flotantes (FG, por las siglas en inglés de Floating Gates) es otra técnica recientemente reportada, la

cual nos permite fijar el punto de operación de los transistores como una suma de un conjunto de voltajes de entrada. Utilizando esta técnica, solamente necesitamos polarizar uno o más de las FG en la compuerta del transistor, para operar al transistor en la región deseada. Ya que el voltaje a la entrada es pesado por las dimensiones de los capacitores flotantes, pequeños  $V_{th}$  pueden ser obtenidos aplicando esta técnica. En el presente trabajo ambas técnicas descritas son usadas para implementar un current conveyor completamente CMOS de segunda generación (CCII), con operación de riel-a-riel. En la segunda sección, un breve repaso de los conceptos básicos de los current conveyors es descrito. En la sección tres se describe el diseño de current conveyors de riel-a-riel usando circuitos translineales MOS, y algunos resultados de simulaciones. Finalmente, las conclusiones del presente trabajo son discutidas en la sección 4.

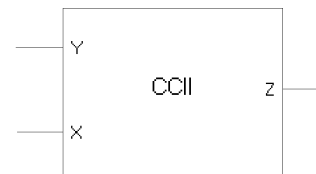


Fig. 1. CCII como una caja negra.

## 2. Riel a Riel CCII

Un CCII es un dispositivo que puede ser representado por una caja negra, como se muestra en la Figura 1, la cual debe cumplir con las siguientes características de entrada/salida:

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.1)$$

Como se puede apreciar en la ecuación 2.1, un CCII debe tener una muy alta impedancia en la terminal Y, una muy baja impedancia en la terminal X y, finalmente, hacer una

copia de la corriente que pasa a través de la terminal X hacia la terminal Z. En circuitos de bajo voltaje, estos requerimientos no son fáciles de obtener. A pesar de que los niveles de alimentación del circuito pueden ser disminuidos notablemente, los niveles de ruido permanecen en el mismo rango. Por esta razón, el seguidor de voltaje en las terminales X y Y, debe tener un rango de operación de riel-a-riel.

Ya que obtener una baja impedancia en la terminal X es la condición más difícil en el diseño, existen muchas aplicaciones donde el valor de esta impedancia debe ser de un valor pequeño pero finito. En lo que respecta a obtener la replica de corriente en las terminales X y Z, no hay problema alguno, y solamente es necesario obtener un buen aislamiento de estas corrientes.

### 3. Riel a Riel CCII de Bajo Voltaje

La estructura del CCII analizado es presentada en la figure 2 [2]. En este momento, una técnica que ha tomado relevancia en el diseño de circuitos de bajo-voltaje es operar al MOSFET en la región de inversión débil. La ventaja de esta técnica es que permite llevar a cabo diseños con niveles de voltaje muy pequeños. Esto se debe a que el transistor solamente requiere bajos voltajes en la compuerta, con valores por debajo de un  $V_{th}$ , ya que todos los transistores apenas tienen formado el canal de conducción [1].

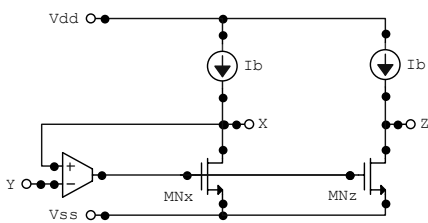


Fig. 2. CCII Propuesto.

El OTA utilizado para implementar el current conveyer se basa en esta técnica. Además, el uso de retroalimentación positiva parcial (RPP) es introducido para incrementar la ganancia en DC del OTA. Este concepto es ampliamente tratado en [3]. Figura 3 muestra el diagrama esquemático del OTA. Los transistores MNx y MNz se dimensionaron para manejar arriba de  $10 \mu A$ . El circuito fue diseñado para operar con  $\pm 0.6 V$ . Los resultados de las simulaciones se muestran en las figuras 4-7.

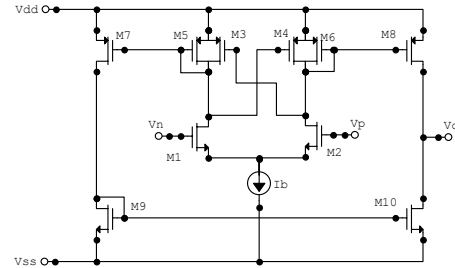


Fig. 3. OTA con RPP.

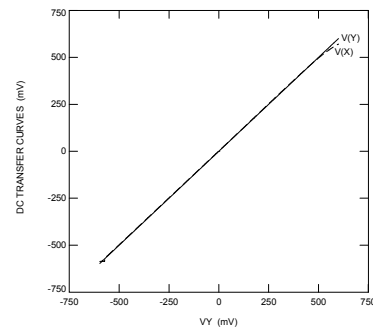


Fig. 4. Respuesta de  $V_y - V_x$  con  $\pm 0.6 V$  (DC).

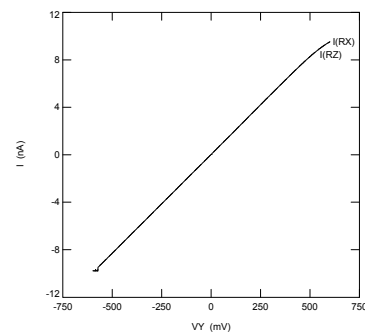


Fig. 5. Respuesta de  $I_x - I_z$  con  $\pm 0.6 V$  (DC).

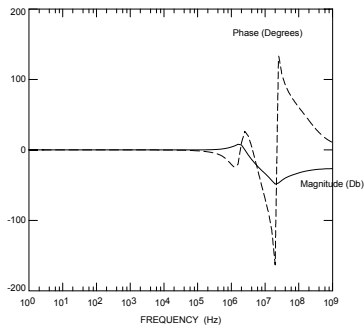


Fig. 6. Respuesta de  $V_x/V_y$  con  $\pm 0.6$  V (AC).

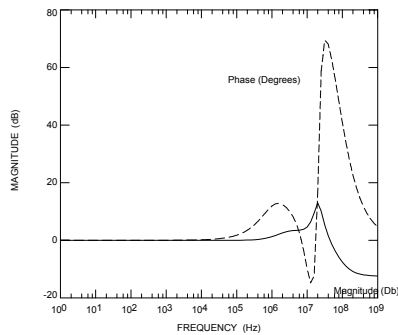


Fig. 7. Respuesta de  $I_z/I_x$  con  $\pm 0.6$  V (AC).

### 3.1 CCII modificado usando FG

La necesidad de operar los circuitos incluso con niveles de voltaje aun más bajos, ha contribuido al desarrollo de diversas técnicas, tal como lo es el uso de estructuras con floating-gates (FG). Existen diversas formas de tomar ventaja de las FG. Una de ellas es reducir el  $V_{th}$  del transistor o predeterminar el punto de operación del mismo. En la figura 8, una FG es utilizada para disminuir el  $V_{th}$  del par diferencial, y disminuir los requerimientos de polarización de la entrada para crear el canal de conducción.

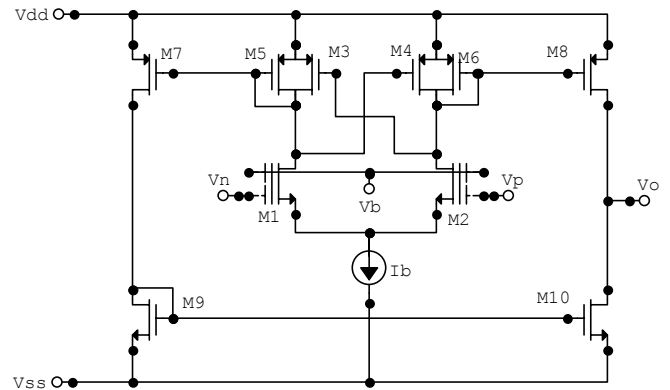


Fig. 8. OTA con Floating Gates.

Podemos ver como solamente una de las compuertas flotantes debe polarizarse en el par diferencial para obtener los resultados deseados. Los resultados obtenidos de las simulaciones con estas modificaciones son mostrados en las figuras 9-12 para fuentes de alimentación de  $\pm 0.6$  V, mientras que las figuras 13 y 14 muestran la respuesta en DC usando fuentes de alimentación de  $\pm 0.35$  V. Tablas 1 y 2 muestran las dimensiones utilizadas en este trabajo.

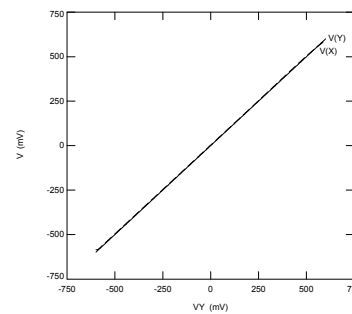


Fig. 9. Respuesta de  $V_y - V_x$  con  $\pm 0.6$  V y FG (DC).

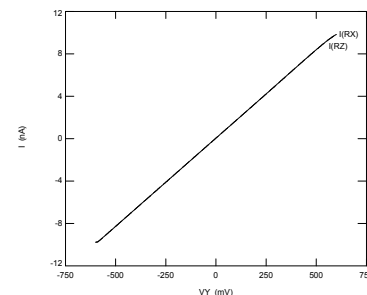


Fig. 10. Respuesta de  $I_x - I_z$  con  $\pm 0.6$  V y FG (DC).

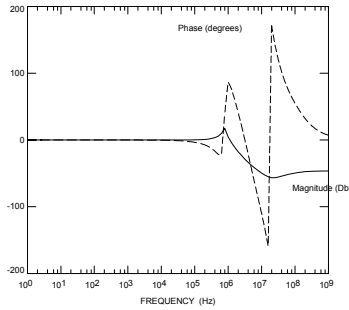


Fig. 11. Respuesta de  $V_x/V_y$  con  $\pm 0.6$  V y FG (AC).

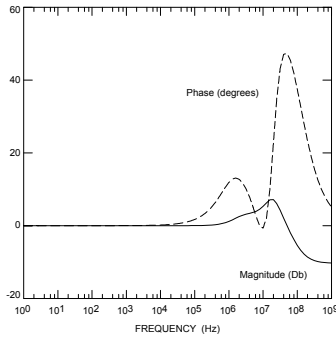


Fig. 12. Respuesta de  $I_z/I_x$  con  $\pm 0.6$  V y FG (AC).

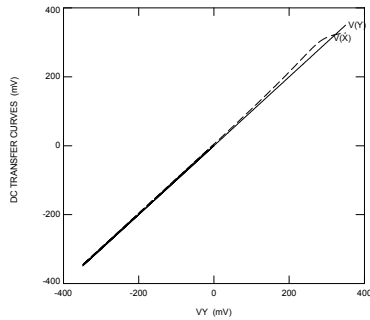


Fig. 13. Respuesta de  $V_y-V_x$  con  $\pm 0.35$  V y FG (DC).

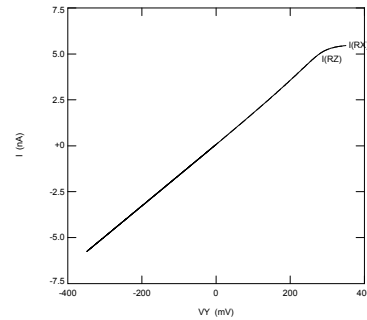


Fig. 14. Respuesta de  $I_x-I_z$  con  $\pm 0.35$  V y FG (DC).

Tabla 1) Dimensiones usando el principio translineal

CCII en Sub-Umbral, $I_{bias}=5.6\mu A$	
Transistor	W/L ( $\mu m$ )
M1-M2 (OTA)	12/4.8
M3-M4 (OTA)	7.68/9.6
M5-M10 (OTA)	9.6/9.6
MNx-MNz	76.8/4.8

Tabla 2) Dimensiones usando compuertas flotantes

CCII en Sub-Umbral con FG, $I_{bias}=5.6\mu A$	
Transistor	W/L ( $\mu m$ )
M1-M2 (OTA)	12/4.8
M3-M4 (OTA)	7.68/9.6
M5-M10 (OTA)	9.6/9.6
MNx-MNz	76.8/4.8
Capacitores para Floating Gates (Farads)	
C1	40f
C2	88f

#### 4. CONCLUSIONES

El diseño de un CCII de bajo-voltaje, usando circuitos translineales MOS y estructuras con floating-gates, fue presentado. El uso de circuitos translineales MOS permitieron un mejor rendimiento en el circuito, obteniendo una operación de riel-a-riel. Los seguimientos de corriente y voltaje fueron los esperados para una fuente de  $\pm 0.6$  V, obteniendo un ancho de banda de 100 KHz. El circuito también pudo operar con una fuente de  $\pm 0.35$  V. Usando estructuras con floating-gates se obtuvo una mejora en seguimiento de corrientes, pero el ancho de banda fue en decremento. La resistencia obtenida en la terminal X es de algunos cientos de ohms, pero esta puede ser disminuida incrementando la capacidad de corriente, lo cual incrementa el consumo de potencia, lo cual no es



fiable para aplicaciones donde el consumo de potencia es un parámetro crítico.

## REFERENCIAS

[1] E.S. Sinencio, A. Androu, *Low-Voltage/Low-Power Integrated Circuits and Systems* (New York, NY: IEEE Press, 1999).

[2] K. Koli, *Speed versus Nonlinearity* (Helsinki, Finland: Ph.D. Dissertation, Helsinki University of Technology, 2000).

[3] R. Wang, R. Harjani, *Analog Integrated Circuits and Signal Processing An International Journal* (Boston, Netherlands: Kluwer Academic Publishers, 1995).



[4] M. Ismail, *Analog VLSI and Information Processing* (New York, NY: McGraw-Hill Inc., 1994)

[5] C. Toumazou, C. Lidgey, H. Hughs, *Analog IC Design: The Current-Mode Approach* (London, UK: Peter Peregrinus Ltd., 1990)