



DISEÑO DE CURRENT CONVEYORS MEDIANTE TÉCNICAS DE BAJO VOLTAJE

Carlos Muñiz Montero * y Alejandro Díaz Sánchez **

*, ** Instituto Nacional de Astrofísica Óptica y Electrónica
Coordinación de Electrónica, Grupo de diseño de Circuitos Integrados
Luis Enrique Erro No. 1, Tonantzintla Puebla.
Tel. (52)(2)2-470-517
cmuniz@hotmail.com

RESUMEN

Se presenta el diseño y simulación de dos Current Conveyors de Segunda Generación y ultra bajo voltaje. El primero, un CCII+ a ± 0.5 V opera en régimen subumbral, posee respuesta riel a riel y está compensado en efecto cuerpo. El segundo, un CCII+ de riel a riel a ± 0.45 V es diseñado a partir de un OTA subumbral y transistores de compuerta flotante de múltiples entradas (MIFGT).

flotantes, modo subumbral y técnicas de bajo voltaje. La estructura de este trabajo es la siguiente. La sección 2 discute los principios de operación del current conveyor, del transistor en modo subumbral y de los MIFGT. La sección 3 aborda el diseño de dos Current Conveyors: un CCII+ en modo subumbral, riel a riel y compensación en efecto cuerpo y un CCII+ a partir de un OTA subumbral y compuertas flotantes. La sección 4 enuncia las conclusiones.

1. INTRODUCCION

Cuando una determinada aplicación requiere de limitada precisión pero una gran capacidad de predicción y computo paralelo, los sistemas analógicos de muy alta escala de integración resultan la mejor opción [4]. En estos sistemas, el consumo de potencia resulta una consideración crítica. Por otro lado, en las dos décadas pasadas se ha advertido una constante tendencia a la miniaturización de los procesos CMOS [3]. Una consecuencia de este fenómeno es la reducción del voltaje de rompimiento dieléctrico de la compuerta y, por tanto, del voltaje de polarización permisible, mientras que el voltaje de umbral no escala en la misma proporción. Consumo de potencia y reducción de voltaje han repercutido en la utilización de técnicas no convencionales que proporcionan al transistor CMOS principios de operación diferentes y más flexibles: la operación en modo subumbral habilita su uso como transistor bipolar a corrientes tan bajas como unos cuantos nanoamperios, mientras que la técnica de compuertas flotantes, donde la formación del canal se modula mediante la inyección de cargas en la compuerta, reduce los niveles de voltaje de polarización y controla el encendido y apagado del transistor a partir de múltiples entradas (MIFGT). El propósito de este trabajo es reducir el consumo de potencia y niveles de polarización de un bloque elemental del diseño analógico de muy alta escala de integración: el Current Conveyor [1,2]. En este trabajo se pretende modificar estructuras ya existentes de Current Conveyors para su habilitación mediante compuertas

2. CCII Y TÉCNICAS DE BAJO VOLTAJE

La década de los 60s presentó una fuerte tendencia al diseño analógico en modo voltaje, su contraparte, el diseño en modo corriente [2] tiene a uno de sus mejores representantes en el Current Conveyor. Esta sección trata brevemente las características a nivel bloque de este dispositivo, además del modo de operación subumbral de los TMOS y compuertas flotantes.

2.1 CURRENT CONVEYORS II.

Se trata de dispositivos alternativos al amplificador operacional que operan en lazo abierto y permiten obtener ganancias de voltaje en un amplio ancho de banda de señal. La figura 1 muestra al dispositivo y sus variables de interés, que se relacionan idealmente:

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (1)$$

El signo positivo se aplica cuando las corrientes en X y Z poseen la misma dirección y el negativo en caso contrario.



2.2 TMOS SUBUMBRAL.

Cuando las componentes de corriente directa e inversa de un transistor se encuentran en inversión débil, esto es, cuando $V_{S(D)} < V_p$, con:

$$V_F = \frac{V_G - V_{TO}}{n} \quad (2)$$

se dice que el transistor opera en inversión débil (I_D del orden de 10-100 nA [7]) con [4]:

$$I_D = I_S \exp\left(\frac{V_G - V_{TO}}{nU_T}\right) \left(\exp\left(\frac{-V_S}{U_T}\right) - \exp\left(\frac{-V_D}{U_T}\right) \right) \quad (3)$$

$$I_S = 2n \frac{W}{L} \mu C_{ox} U_T^2 \quad (4)$$

$$U_T = KT/q \quad (5)$$

donde n es el factor de pendiente $1 < n < 2$, U_T es el voltaje térmico (26 mV a 300°K), μ es la movilidad de los portadores y C_{ox} es la capacidad de compuerta a óxido por unidad de área. El TMOS opera en saturación directa como una fuente de corriente controlada por voltaje si:

$$V_{DS} \geq 3U_T, 4U_T \quad (6)$$

con lo que (3) se aproxima como:

$$I_D = I_S \exp\left(\frac{V_G - nV_S - V_{TO}}{nU_T}\right) \quad (7)$$

El aprovechamiento de potencia es máximo ya que la razón de corriente a transconductancia es un máximo, determinado por:

$$g_m = \frac{I_D}{nU_T} \quad (8)$$

2.3 MIFGT.

El principio fundamental de operación de los dispositivos diseñados a partir de compuertas flotantes (MIFGT) [3,7,8] radica en su capacidad para guardar carga por largos periodos de tiempo. A partir de esta característica y

de arreglos de capacitancias de entrada, se modula la formación del canal por debajo de la compuerta del transistor, lo que le permite encenderse a partir de niveles muy bajos de polarización. La desventaja es el consumo de área y las bajas frecuencias de operación. A través de la suma de cargas en la compuerta flotante del transistor de la figura 2 se demuestra que [8]:

$$V_G = a_1 V_1 + \dots + a_n V_n + a_0 V_S + a_0' V_D \quad (9)$$

$$a_i = \frac{C_i}{C_1 + \dots + C_n + C_0 + C_0'} = \frac{C_i}{C_T}$$

$$a_0 = \frac{C_0}{C_T}, \quad a_0' = \frac{C_0'}{C_T} \quad (10)$$

$$C_0 = C_{ox} WL + C_{GSO} W$$

$$C_0' = C_{GDO} W$$

C_{GSO} y C_{GDO} son parámetros del proceso. En [8] se presenta un modelo de simulación adecuado para compuertas flotantes.

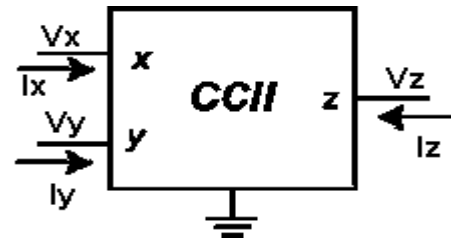


Fig. 1. Convención de corrientes y voltajes en un Current Conveyor de segunda generación.

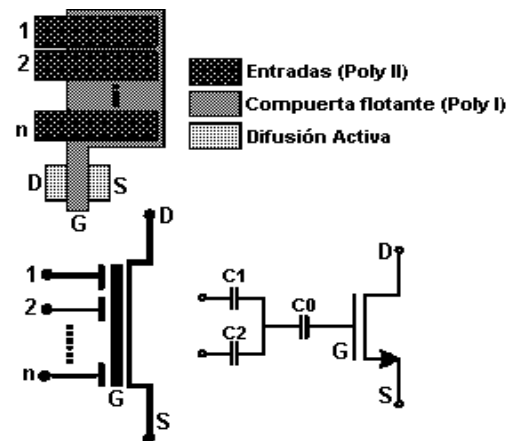


Fig. 2. Layout, esquema y símbolo eléctrico de un transistor de compuerta flotante.



Parámetro	Valor
L1-L12, L16	4.8 μm .
L13-L15	6.4 μm
W1,W4,W5-W8	8 μm .
W2,W3	38.4 μm .
W9-W12,W16	62.4 μm .
W13-W15	12.8 μm .
Vb1, Vb2	-0.1 V.
VDD, VSS	0.6 V, -0.6 V.

3. CCII DE BAJO VOLTAJE.

El CCII+ de bajo voltaje, riel a riel y compensación en efecto de cuerpo propuesto por [5] (figura 3) se diseña en esta sección para operación subumbral. Cuando el voltaje en el nodo Y saca de operación al par diferencial M1-M4, el par diferencial M2-M3 opera, permitiendo así una excursión de señal de entrada de riel a riel. Obsérvese que por la acción de los espejos M5-M6 y M7-M8, se tiene $I_{D10}=I_{D1}+I_{D3}$, $I_{D9}=I_{D2}+I_{D4}$. Si el espejo M9-M10 es de ganancia unitaria, entonces $I_{D1}+I_{D3}=I_{D2}+I_{D4}$ y por argumentos de simetría $I_{D3}=I_{D2}$, por lo tanto $I_{D1}=I_{D4}$. Si M1 y M4 tienen las mismas dimensiones entonces $V_{GS1}=V_{GS4}$, lo que obliga a que $V_Y=V_X$. M14, M11, M12 y M15 permiten un rango de salida de riel a riel a costa de una muy alta impedancia en la terminal X, consecuencia de la operación subumbral. Este CCII+ es compensado en efecto cuerpo pues los únicos transistores que sufren de este problema (M1-M4) se conectan de forma diferencial.

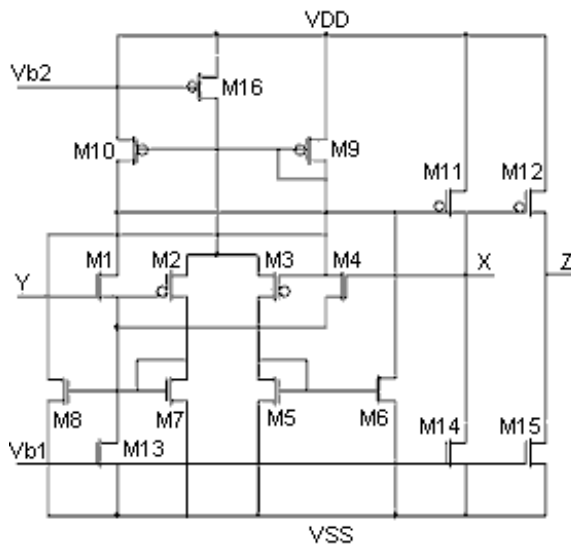


Fig. 3. CCII+ de baja potencia, bajo voltaje y compensación de efecto cuerpo en modo subumbral.

La corriente máxima en el circuito es $I_D=19$ nA con $V_{GSn}=0.5$ V y $V_{GSp}=0.7$ V. El proceso que se emplea es MOSIS AMI 1.5 μm ($V_{Tn}=0.6$ V, $V_{Tp}=0.9$ V). Los detalles en este diseño se presentan en la tabla 1. En la figura 4 se muestra la curva de transferencia de voltaje V_X vs V_Y . Esta curva se obtiene al conectar la terminal Z a tierra, la terminal X a una resistencia de 200 M Ω , y variando el voltaje en la terminal Y; arreglo que se aproxima a las condiciones en circuito abierto. También en la figura 4.b se aprecia la copia de corriente entre las terminales X y Z. Para esta simulación se colocaron resistencias de 20 M Ω en las terminales X y Y.

Tabla I. Detalles en el diseño del CCII+ de la figura 3.

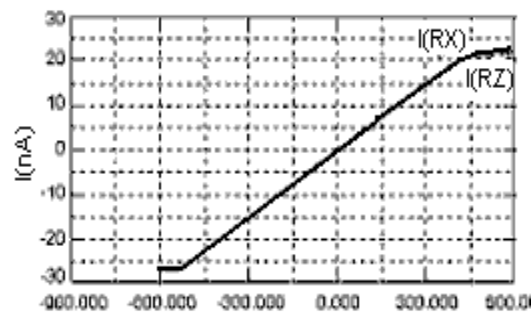
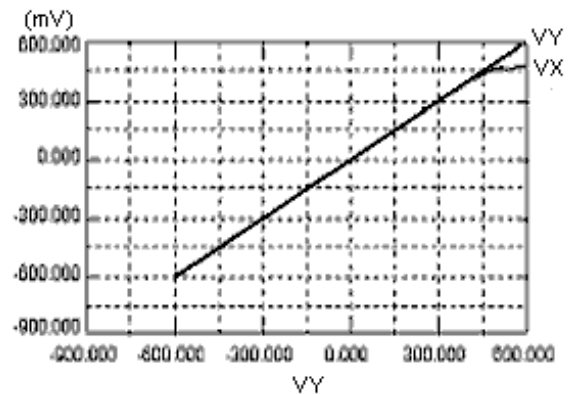


Fig. 4 Curvas de transferencia de voltaje y corriente del CCII+ en modo subumbral.

La figura 5 presenta la arquitectura propuesta para un OTA de una etapa que opera en el régimen de inversión débil. A partir de este OTA se diseña el CCII+ de la figura 6. El arreglo Md1-Md4 esta habilitado para operar a voltajes por debajo de ± 0.5 V mediante dos transistores con compuertas flotantes, pero operando en el régimen de inversión fuerte.

Parámetro	Valor
L1-L8	3.2 μm .
W1-W4, W5-W8	310.4 μm , 40 μm .
V_{DD} , V_{SS} , I_a	0.5 V, -0.5 V, 0.5 μA .
A_o (OTA)	42.68 dB.
MF (OTA)	59°
GBW (OTA)	691.68 KHz.
Ld1-Ld4	2.4 μm .
Wd1-Wd2	200 μm
Wd3-Wd4	65.6 μm .
V_{DD} , V_{SS} , V_B	0.5 V, -0.5 V, 0.3 V.
C1, C2	736.62 fF, 1.727 pF.
CL	1 pF.

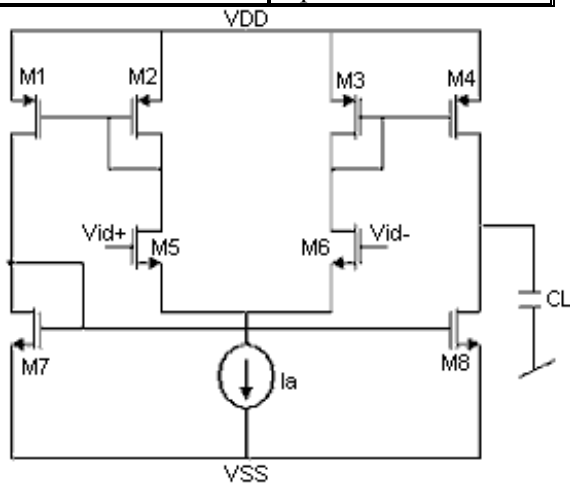


Fig. 5 OTA de una etapa en modo subumbral.

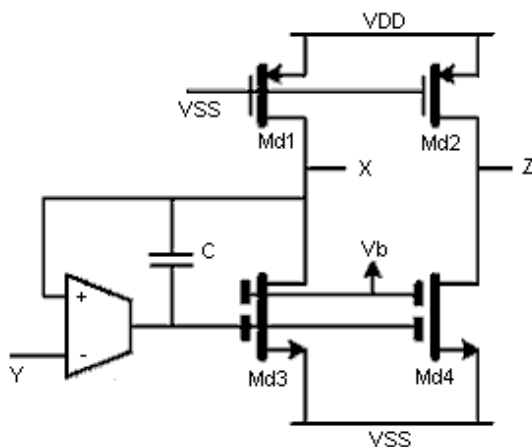


Figura 6. CCII+ a partir del OTA en modo subumbral de la figura 6 y MIFGT.

Para el OTA se eligen $V_{GSn}=0.5$ V, $V_{SGp}=0.7$ V e $I_a=0.5$ μA . Para el diseño de este CCII+, se eligen $V_{eff}=V_{cfn}=0.1$ V e $I_D=10$ μA para los transistores Md1-Md4. Los detalles que se listan en la tabla 2. $C_2/C_1=2.33$ para los MIFGT. Las curvas de transferencia de voltaje y corriente son similares a las de la figura 4. En la tabla 3 se presenta una comparación entre los dos CCII+ que se han diseñado. Cabe destacar que la polarización mínima para ambos es inferior a 1 V de riel a riel.

Tabla 2. Detalles en el diseño del CCII+ de la figura 3.

4. CONCLUSIONES

Se han presentado dos CCII+ de ultra bajo voltaje. Se ha mostrado que es posible desarrollar estos conveyors con características de riel a riel tanto a la entrada como a la salida y que requieren menos de 1 V de polarización. Las técnicas de bajo voltaje empleadas: compuertas flotantes y corriente subumbral son ideales para restricciones de voltaje, pero la respuesta en frecuencia es muy limitada.

Parámetro	Valor	
	CCII+ fig. 3	CCII+ fig. 6
Polarización	± 0.6 V	± 0.5 V
R. dinámico	$(-0.6, 0.45)$ V	$(-0.5, 0.45)$ V
Error copia de voltaje.	0.1 %	0.06 %
Error copia de corriente.	0.0%	0.0%
Rx.	33.6 M Ω .	20.45 K Ω .
Rz.	33.6 M Ω .	130.32 K Ω .
BW, copia de voltaje.	622.3 KHz.	3.46 MHz.
BW, corriente en X.	512.8 KHz.	2.08 MHz.
BW, corriente en Z.	1.047 MHz.	2.08 MHz.
Polarización mínima	± 0.5 V	± 0.45 V
R. Dinámico a polarización mínima.	$(-0.5, 0.3)$ V.	$(-0.45, 0.25)$ V.

Tabla 3. Desempeño de los CCII+ de las figuras 3 y 6.

REFERENCIAS

- [1] A. SEDRA, and K.C. SMITH, A second generation of current conveyor an its applications, *IEEE Trans. Circuit Theory*, pp 132-134, 1970.
- [2] C. TOUMAZOU, et al, *Analogue IC design: The current mode approach* (London, Peter Peregrinus, 1990).



- [3] T. Shibata and T. Ohmi, A Functional MOS Transistor Featuring Gate-level Weighted Sum and Threshold Operations, *IEEE Transactions on Electron Devices*, Vol.39, No.6, June 1992.
- [4] E.A. Vittoz, Analog VLSI Signal Processing: Why, Where and How? *Analog Integrated Circuits and Signal Processing*, pp.27-44, July 1994.
- [5] H.O. Elwan and A.M. Soliman, Low-Voltage Low-Power CMOS Current Conveyors, *IEEE Transactions on Circuits and Systems-I. Fundamental Theory and Applications*. Vol. 44, No.9, September 1997.
- [6] E.S. Sinencio, A.G. Andreu, Ed., *Low-Voltage/Low-Power Integrated Circuits and Systems. Low Voltage Mixed-Signal Circuits* (IEEE Press, 1999).
- [7] S.Yang and E.S. Sinencio, Low Voltage Analog Circuit Design Techniques: A Tutorial, *IEICE Trans. Analog Integrated Circuits and Systems*, Vol. E00-A, No. 2, february 2000.
- [8] J. Ramírez, et.al., Modeling Multiple-Input Floating-Gate Transistors for Analog Signal Processing, *IEEE Symposium on Circuits and Systems*, Hong Kong June 9-12, 1997.
- [9] K. KOLI, CMOS Current Amplifiers: Speed versus Nonlinearity (Tesis Doctoral, Helsinki University of Technology, Espoo, Finland, November, 2000).