



## IMPLEMENTACION DE FUNCIONES GAUSSIANAS USANDO CIRCUITOS CMOS TRANSLINEALES EN MODO CORRIENTE

Sánchez López Carlos, Díaz Sánchez Alejandro, Tlelo Cuautle Esteban  
Instituto Nacional de Astrofísica, Óptica y Electrónica  
Av. Luis Enrique Erró # 1. Tonantzintla, Puebla, México  
[csanchez@susu.inaoep.mx](mailto:csanchez@susu.inaoep.mx) , [adiazsan@inaoep.mx](mailto:adiazsan@inaoep.mx) , [e.tlelo@ieee.org](mailto:e.tlelo@ieee.org)

**RESUMEN:** Se presenta el diseño y simulación de bloque básicos para la implementación de funciones Gaussianas en modo corriente, usando circuitos CMOS. La metodología está basada en la exploración de circuitos translineales polarizados en débil inversión. Se presentan simulaciones en HSPICE para confirmar la validación de esta aproximación. El diseño final trabaja en baja potencia a un voltaje de polarización de 1.5V, y la señal se procesa en modo corriente.

### 1. INTRODUCCIÓN.

Los primeros circuitos trans-lineales se diseñaron con BJT's por su alta precisión y alta velocidad. La principal ventaja de los circuitos translineales es su insensibilidad a las variaciones de temperatura, aunque las corrientes dependen exponencialmente de la temperatura. Por otra parte, el principio translineal generalizado para transistores MOS operando en débil inversión [10] es el mismo que en [7]. Las ventajas de los circuitos translineales MOS polarizados en débil inversión contra los BJT's son: no sufren de la ganancia de corriente finita de un BJT, el voltaje de saturación es bajo y conveniente en baja-potencia, los MOS tienen cuatro terminales y en débil inversión presentan una dependencia exponencial extra de la corriente de drenaje [12]. Sin embargo, una de las limitaciones de los MOS operando en débil inversión es el efecto de cuerpo, el cual puede ser reducido conectando la terminal del Bulk y la fuente usando una tecnología de doble pozo [3].

En este trabajo, se presenta el diseño de un circuito generador de funciones gaussianas en modo corriente, basado en el principio translineal MOS operando en débil inversión. La Sección 2 es una revisión matemática de la función gaussiana. En la Sección 3, se presentan algunas alternativas para la implementación. El offset en la corriente de salida generado por el efecto de cuerpo y un método de compensación, son presentados en la Sección 4. El diseño final y los resultados de simulación son presentados en la Sección 5. Finalmente, las conclusiones son presentadas en la Sección 6.

### 2. FORMULACION MATEMATICA.

La ecuación de la función gaussiana [13], [14] es:

$$h_{s,\tau}(t) = \frac{1}{\sqrt{S}} e^{-\frac{1}{2} \left( \frac{t-\tau}{S} \right)^2} \quad (1)$$

$\frac{1}{\sqrt{S}}$  es un factor de escalamiento para preservar la energía en diferentes escalas. La ecuación (1) representa una función gaussiana normalizada,  $\tau$  indica la translación en tiempo,  $S$  representa diferentes posiciones de escala para el análisis de la señal. Una función gaussiana tiene el producto óptimo tiempo-ancho de banda, determinado por el principio de incertidumbre para análisis de señales sobre el espacio tiempo-frecuencia. Una aplicación de la función gaussiana es en la realización de Ondeletas [13], [14].

### 3. CIRCUITOS TRANSLINEALES.

Existe una gran variedad de circuitos translineales en BJT's [7], [11], los cuales pueden ser realizados en CMOS operando en débil inversión. La corriente de drenaje de un transistor NMOS está dado por [3], [4], [5], [6]:

$$I_D = \frac{W}{L} I_{D0} e^{\frac{(n-1)V_{BS}}{nVt}} e^{\left( \frac{V_{GS}-V_{TH}}{nVt} \right)} \left( 1 - e^{-\frac{V_{DS}}{Vt}} + \frac{V_{DS}}{V_0} \right) \quad (2)$$

$V_{GS}$  = voltaje compuerta-fuente,  $V_{DS}$  = voltaje drenaje-fuente y  $V_{BS}$  = voltaje bulk-fuente (efecto de cuerpo).

$V_{TH}$  = voltaje de umbral y  $Vt = \frac{kT}{q}$  = voltaje térmico,

$V_0$  = voltaje Early,  $n$  = factor de pendiente, usualmente más pequeño que 2, el cual tiende a ser 1 para grandes valores en el voltaje  $V_G$ ,  $I_{D0}$  = corriente que relaciona al parámetro transconductancia  $K'$  [4], [5], [6], y es:

$$I_{D0} \cong \frac{2K'(nVt)}{e^2} \quad (3)$$

Minimizando el efecto Early y el efecto de cuerpo:

$$I_D \cong \frac{W}{L} I_{D0} e^{\left( \frac{V_{GS}-V_{TH}}{nVt} \right)} \quad (4)$$

#### 3.1 Circuito de Cuadratura.

En la figura 1 se muestra un circuito de cuadratura, obtenido reemplazando los BJT's de la topología de Gilbert [7], por NMOS. La cuadratura la realizan M1-M5. Minimizando el efecto Early y el efecto de cuerpo, se aplica (4), debiendo satisfacer la condición:

$$I_y + I\alpha > 0 \quad (5)$$

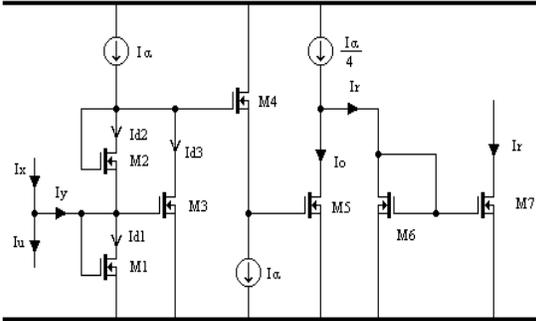


Figura 1. Circuito de Cuadratura en modo corriente.

Aplicando el principio translineal se puede demostrar que la corriente  $I_o$  es expresada como:

$$I_o = \frac{I_{d1} * I_{d2}}{I\alpha} \quad (6)$$

Aplicando KCL, la corriente de drenaje de M1 y M2 es:

$$I_{d1} = \frac{I\alpha - I_y}{2} \quad I_{d2} = \frac{I\alpha + I_y}{2} \quad (7)$$

Como  $I_y = (I_x - I_u)$  de la ecuación (6), la corriente de salida del circuito de cuadratura es:

$$I_r = \frac{(I_x - I_u)^2}{4I\alpha} \quad (8)$$

M6-M7 copian  $I_r$  al drenaje de M7 [8], esta corriente se usa para implementar el exponente de la función gaussiana.  $I_r$  tiene baja sensibilidad al proceso y a variaciones de temperatura, por lo que es controlable.

### 3.2 Circuitos de Funciones Gaussianas.

Para la implementación de la función gaussiana [9], un circuito básico se muestra en la figura 2.

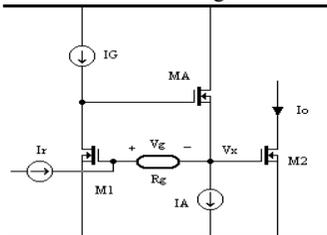


Figura 2. Función Gaussiana con Resistor flotante.

$I_r$  fluye a través del resistor generando un voltaje  $V_g$  :

$$V_g = R_g * I_r \quad (9)$$

Entonces  $V_x$  queda expresado como:

$$V_x = V_{GS1} - R_g I_r \quad (10)$$

$$V_{GS1} = V_{TH1} + nV_t * \ln \left( \frac{I_G}{\left( \frac{W}{L} \right)_{M1} I_{DOM1}} \right) \quad (11)$$

M2 convierte  $V_x$  en la corriente de salida dada por:

$$I_o = \frac{\left( \frac{W}{L} \right)_{M2} I_{DOM2}}{\left( \frac{W}{L} \right)_{M1} I_{DOM1}} I_G e^{\left( \frac{V_{TH1} - V_{TH2} - R_g I_r}{nV_t} \right)} \quad (12)$$

Con  $M1=M2$ , la ecuación (12) se reduce a:

$$I_o = I_G e^{\left( \frac{-R_g I_r}{nV_t} \right)} \quad (13)$$

Sustituyendo la ecuación (8) en (13) obtenemos:

$$I_o = I_G e^{\left( \frac{-R_g \left( \frac{(I_x - I_u)^2}{4I\alpha} \right)}{nV_t} \right)} \quad (14)$$

Otra implementación se muestra en la figura 3.  $I_r$  fluye en  $R$ , el voltaje se convierte a corriente por M2. Así, se obtiene (13) y utilizando (8) se obtiene (14), que representa una ventana gaussiana.  $I_G$  e  $I_u$  controlan la ganancia de pico y la translación.  $I\alpha$  controla la escala o desviación estándar.

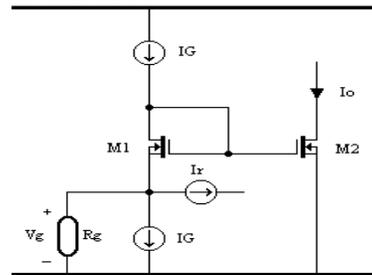


Figura 3. Función Gaussiana con Resistor a tierra.

### 3.3 Resistores Activos.

Un resistor fabricado en tecnología CMOS presenta una tolerancia alrededor del 30%. Usando el principio translineal, puede diseñarse un resistor activo [9]. La figura 4 muestra un MOS conectado como diodo, en el cual la resistencia equivalente de pequeña señal es:

$$R_{in} = \frac{V_{in}}{I_r} = \frac{1}{g_{m1}} \quad (15)$$

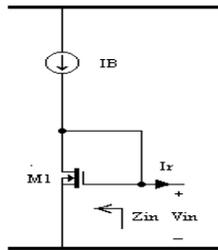


Figura 4. Resistor activo con un MOS.

En débil inversión, la transconductancia es  $g_m \approx \frac{I_D}{nVt}$  [5], por lo que la impedancia de entrada es:

$$R_{in} = \frac{nVt}{I_B} \quad (16)$$

En la figura 5 se muestra un resistor activo [9], con amplio rango lineal. Un análisis de pequeña señal indica que:

$$R_{in} = \frac{4nVt}{I_B} \quad (17)$$

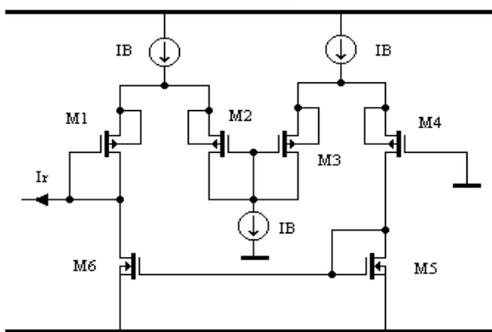


Figura 5. Resistor activo linealizado.

Usando (17) en (14), y considerando que  $I_B$  es proporcional a la corriente de control de escala dada por  $(I_B = \frac{I\alpha}{4})$ , (14) se reduce a:

$$I_0 = I_G e^{-\left(\frac{2^*(I\alpha - I_0)}{I\alpha}\right)^2} \quad (18)$$

### 3.4 Circuitos de Normalización de Energía.

Para preservar la energía de la ventana gaussiana, la corriente de salida se ajustada cuando el factor de escala varía. De acuerdo a la ecuación (1) la corriente  $I_G$  es proporcional a  $\frac{1}{\sqrt{I\alpha}} = \frac{1}{\sqrt{S}}$ . En la Figura 6 se muestra

un esquema de normalización de energía [7],[8]. Aplicando el principio translineal con todos los transistores iguales, la corriente de salida es:

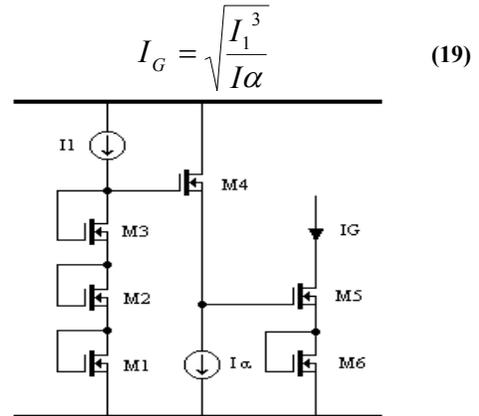


Figura 6. Generador de  $I_G$  con transistores en pila.

Este circuito no es adecuado para aplicaciones de bajo-voltaje, esto es debido a que los voltajes  $V_{DS}$  de M1-M3, más el voltaje de la fuente sobrepasan el voltaje de polarización de 1.5V, requiriendo alrededor de 2.5V.

Un circuito eficiente generador de  $I_G$  para bajo-voltaje se muestra en la figura 7 [9]. Aplicando el principio translineal se obtiene (19). Substituyendo en (18) se obtiene una función gaussiana en modo corriente normalizada, la cual es representada como:

$$I_0 = \sqrt{\frac{I_1^3}{I\alpha}} e^{-\left(\frac{2^*(I\alpha - I_0)}{I\alpha}\right)^2} \quad (20)$$

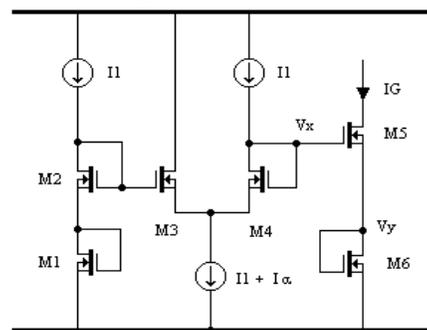


Figura 7. Generador de  $I_G$  para bajo-voltaje.

### 4. EFECTO DE CUERPO.

Los circuitos presentados en la sección 3 no sufren el efecto de cuerpo, dado que  $V_{BS} = 0$  [8], [10]. Sin embargo, el layout necesita una tecnología de doble pozo. El circuito que presenta mayor variación debido al efecto de cuerpo se muestra en la figura 1. En la figura 8 se presenta una modificación del circuito de cuadratura en la cual el offset generado por el efecto de cuerpo, se reduce usando una fuente de corriente controlada por corriente en la compuerta de M5. Si  $I_y$  varía de acuerdo a (5), la corriente en M4 varía, reduciendo así el offset.

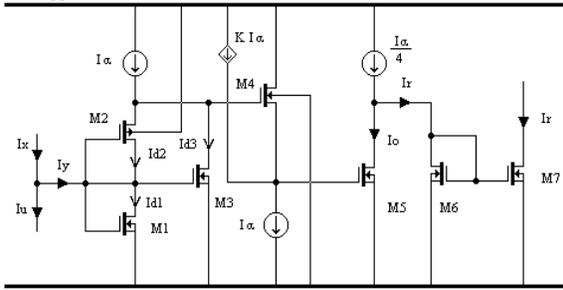


Figura 8. Compensación de offset..

M2 es un PMOS dado que el NMOS produce no-linealidades. En los transistores que no sufren el efecto de cuerpo, la corriente de drenaje se modela por (4), y los que sufren el efecto de cuerpo se modelan por:

$$I_D = \frac{W}{L} I_{DO} A_{BS} e^{\left(\frac{V_{GS}-V_{TH}}{nV_t}\right)} \quad (21)$$

$A_{BS} = e^{\frac{(n-1)V_{BS}}{nV_t}}$  incrementa la corriente de drenaje debido al efecto de cuerpo y tiende a ser 1 cuando  $V_{BS} \rightarrow 0$ . Otra compensación de offset se muestra en la figura 9, debido al offset en la corriente de salida, el voltaje en  $x$  varía si  $I_y$  toma diferentes valores de acuerdo a (5). MA se conecta como diodo para ajustar a  $x$  para que no cambie cuando  $I_y$  varía.

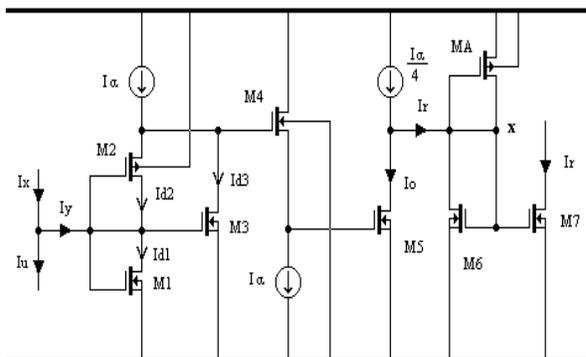


Figura 9. Modificación del circuito de Cuadratura.

## 5. FUNCION GAUSSIANA.

En esta sección se presenta el diseño completo de la función gaussiana usando una tecnología de un solo pozo de 0.6um de AMS.

### 5.1 Implementación.

En la figura 10 se muestra el circuito de función gaussiana y en la tabla 1 se muestran los rangos de las corrientes de entrada. El circuito tiene 3 bloques básicos: cuadratura, Resistor Activo y Circuito de Función Gaussiana.

En la figura 11 se muestra el circuito de función gaussiana normalizada y en la tabla 2 los rangos de las corrientes de control, este circuito lo forman 4 bloques, los 3 anteriores más el Generador de  $I_G$ .

### 5.2 Resultados.

En la figura 12 se muestra la simulación del circuito de cuadratura de la figura 1, donde  $V_{BS} = 0$ . La figura 13 muestra las simulaciones de las figuras 8 y 9. En 13.a se muestra la compensación de offset de la figura 8, y en 13.b se muestran los resultados al agregar MA. En esta configuración no se reduce completamente el offset pero se encuentra en un rango aceptable. Los resultados de las simulaciones del circuito de Función Gaussiana se presentan en la figura 14. Se observa el rango de variación de la ganancia del pico controlada por  $I_G$  (figura 14.a) y la desviación estándar controlada por  $I\alpha$  (figura 14.b), obteniendo un offset de 2.55nA en la desviación estándar y la ganancia del pico es no-lineal debido al efecto de cuerpo. En la figura 15 se observa la simulación de la Función Gaussiana Normalizada, se observa la variación del pico y la desviación estándar al variar  $I_y$ . Finalmente, en la figura 16 se presenta la simulación de translación al variar  $I_u$ . Los rangos de las corrientes de control se listan en la tabla 1 y 2.  $I_x$  e  $I_u$  cumplen con el rango en  $I_y$ .

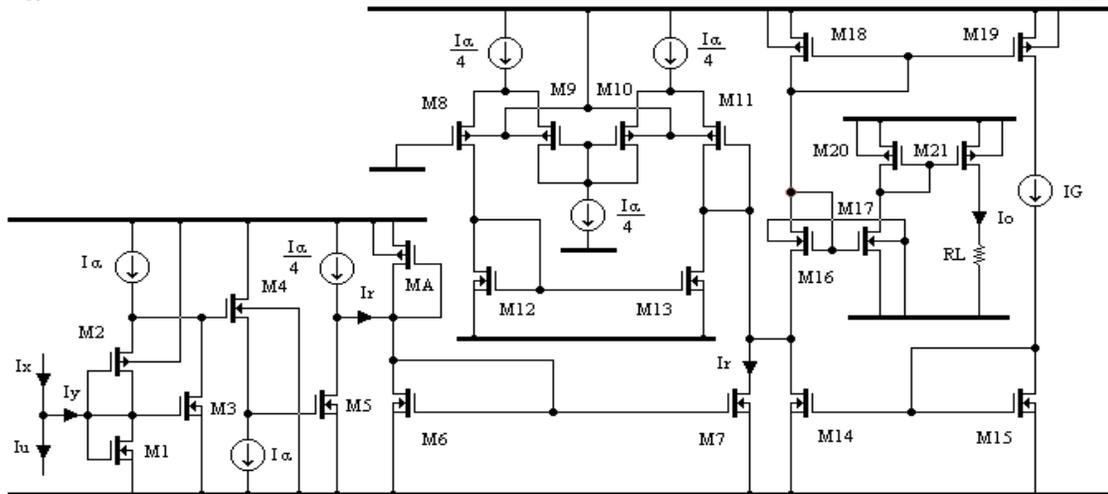


Figura 10. Implementación de la Función Gaussiana.

$V_{DD}$	1.5 V		$V_{DD}$	1.5 V
Consumo de Potencia	0.843 $\mu$ W		Consumo de Potencia	1.534 $\mu$ W
$I_G$	10n -- 60n		$I_\alpha$	40n -- 160n
$I_\alpha$	40n -- 80n		$I_y$	-160n -- 160n
$I_y$	-80n -- 80n		$I_1$	40n

Tabla1. Polarización del circuito de Función Gaussiana.

Tabla2. Función Gaussiana Normalizada.

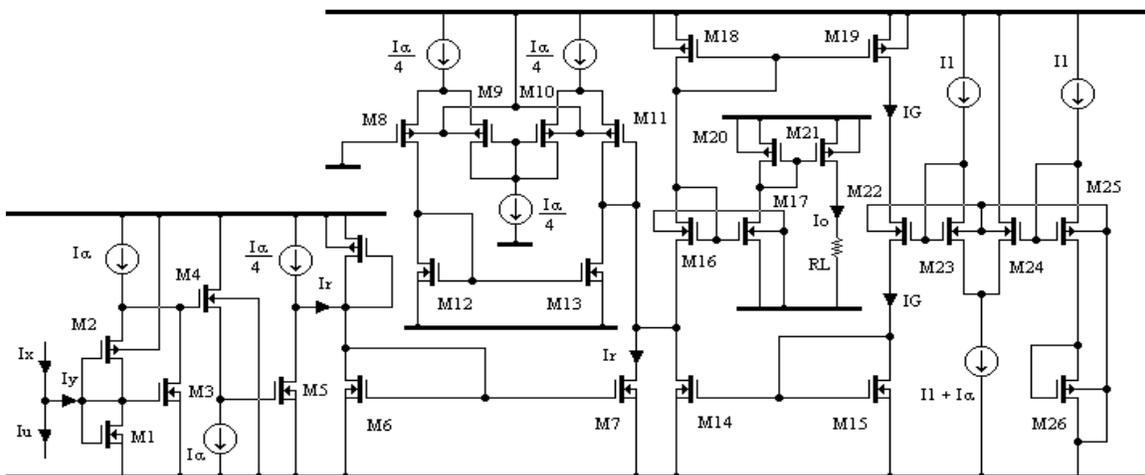


Figura 11. Implementación de la Función Gaussiana Normalizada.

## 6. CONCLUSIONES.

En este trabajo se han discutido varios circuitos para la implementación de funciones gaussianas basándose en la metodología del principio translineal en transistores CMOS polarizados en débil inversión. La tecnología que se utilizó es de 0.6 $\mu$ m de AMS de un solo pozo. Se implementó una forma de compensación de offset en el circuito de cuadratura, debido al efecto de cuerpo. Se mostraron circuitos de normalización de energía para la implementación de la función gaussiana normalizada. Los 2 diseños propuestos son completamente

programables por las corrientes de control dadas en las tablas 1 y 2. Finalmente se muestran las simulaciones realizadas en Hspice las cuales validan las aproximaciones teóricas.

## REFERENCIAS.

1. W. A. Serdjn, C. J. M. Verhoeven and A. H. M. Roermund eds., "Analog IC Techniques for Low-Voltage Low-Power Electronics", Delf University Press: The Netherlands, 1995.
2. W. M. C. Sansen, J. H. Huising and R. J. van de Plassche eds. "Analog Circuit Design: MOST RF Circuits, Sigma -



- Delta Converters and Translinear Circuits”, *Kluwer Academic Publishers*, 1996.
3. R. L. Geiger, P. E. Allen, and N. R. Sytrader, “VLSI Design Techniques for Analog and Digital Circuits”. *McGraw-Hill*, N. Y. 1990.
  4. G.A. Andreas, A.B. Kwabena, and O.P. Philippe, “Current mode subthreshold MOS circuits for analog VLSI neural systems.” *IEEE Tran Neural Networks* pp. 205-213, 1991.
  5. Bradley A. Minch “Analysis and Synthesis of Static Translinear Circuits”, *School of Electrical and Computer Engineering, Cornell University, N.Y., 2000*.
  6. Eric A. Vittoz “Analog VLSI Signal Processing: Why, Where and How?” *CSEM, Neuchatel, Switzerland*.
  7. Barrie Gilbert, “Translinear Circuits: An Historical Overview”, *Analog ICs and Signal Processing, Special Issue: Translinear Circuits, Guest Editors: Barrie Gilbert and Evert Seevinck, no. 2, pp. 95-118, March 1996*.
  8. A. G. Andreou and K. A. Boahen, “Translinear Circuits in Subthreshold MOS”, *Analog ICs and Signal Processing, Special Issue: Translinear Circuits, Guest Editors: Barrie Gilbert, Evert Seevinck, no. 2, pp. 141-166, March 1996*.
  9. Miguel Melendez Rodriguez, “Design of Low Voltage Low Power Translinear Circuits for Real Time Signal Processing Applications”, *Thesis of Doctor in Electronics, Institute National of Astrophysical, Optical and Electronic, Puebla, Mexico, April 2001*.
  10. T. Serrano Gotarredona, B. Lineres Barranco and A. G. Andreou, “A general translinear principle for subthreshold MOS transistors”, *IEEE Trans. on Circuits and Systems II*, vol. 46, no. 5, pp 607-615, May 1999.
  11. B. Gilbert, “Current Mode circuits from a translinear viewpoint: a tutorial”, in chapter 2of C. Toumazou, F. J Lidgey and D. H. Haigh, eds., *Analogue IC Design: The current mode Approach, IEEE Peter Peregrinus Ltd: London, 1990*.
  12. Wouter A. Serdijn and Jan Mulder, “Research Perspectives on Dynamic Translinear and Log-Domain Circuits”, *Kluwer Academic Publishers, Boston, vol. 22, no. 2 & 3, March 2000*.
  13. Y. Sheng, “Wavelet transform”, in chapter 10 of A. D. Poularikas, eds., *The Transforms and Applications Handbook, IEEE PRESS, 1996*.
  14. R.K. Young, “Wavelet, theory and applications”, *Kluwer Academic Publishers, 1994*.

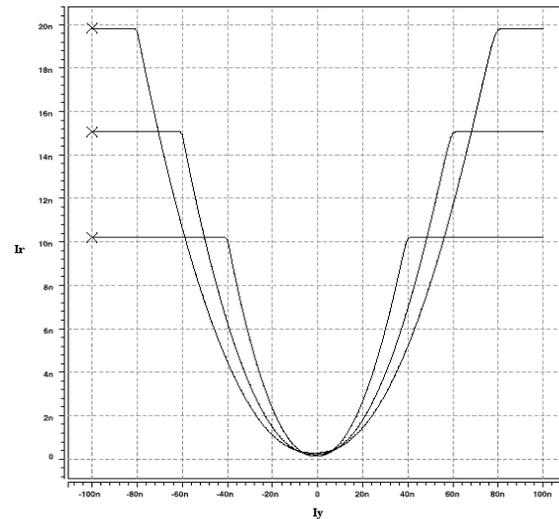
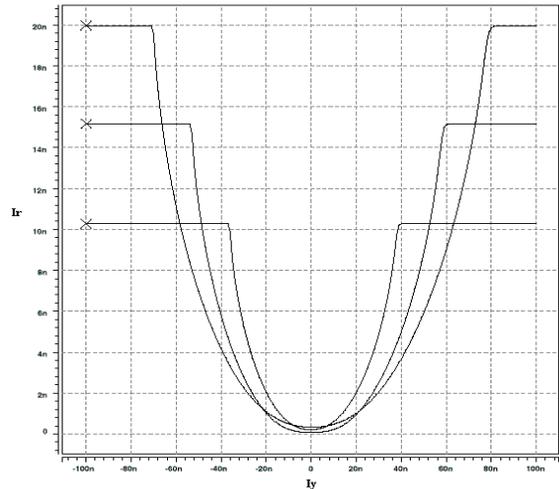
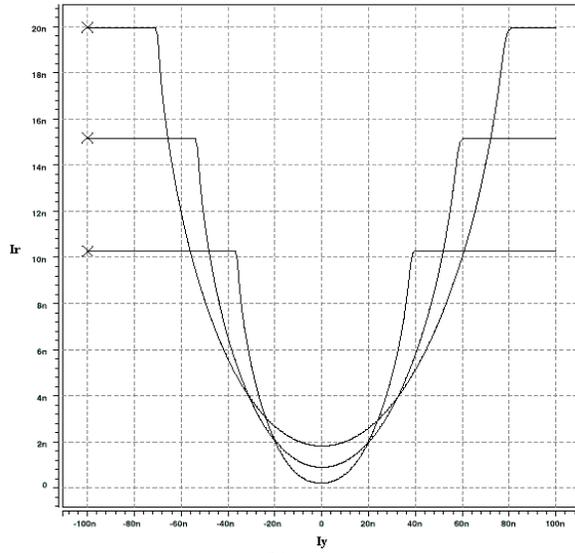


Figura 12. Circuito de cuadratura.

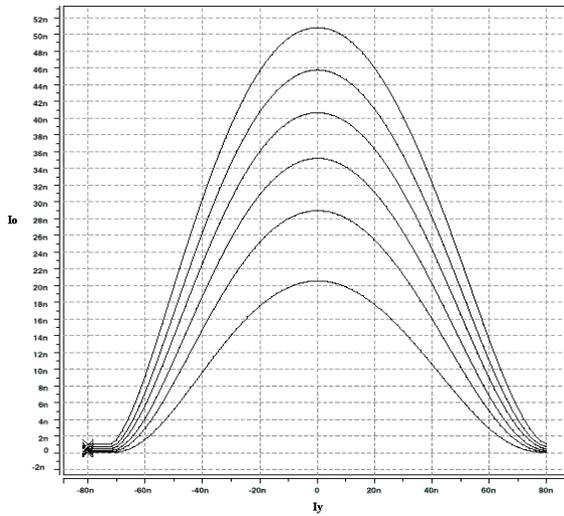


(a)

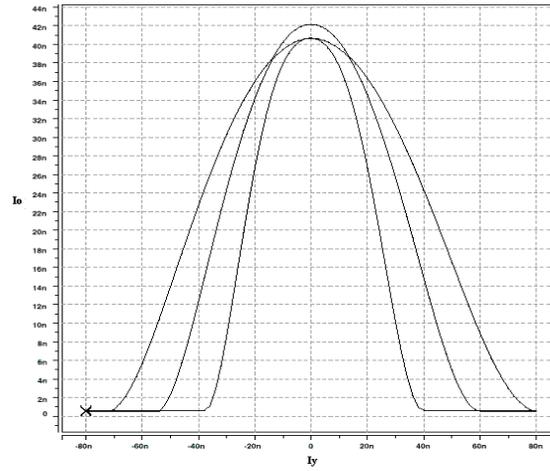


(b)

Figura 13. Circuito de cuadratura con efecto de cuerpo.  
a) Compensación de offset y b) Agregando MA.



(a)



(b)

Figura 14. Función Gaussiana: Control de (a) ganancia del pico por  $I_G$  y (b) desviación estándar por  $I\alpha$ .

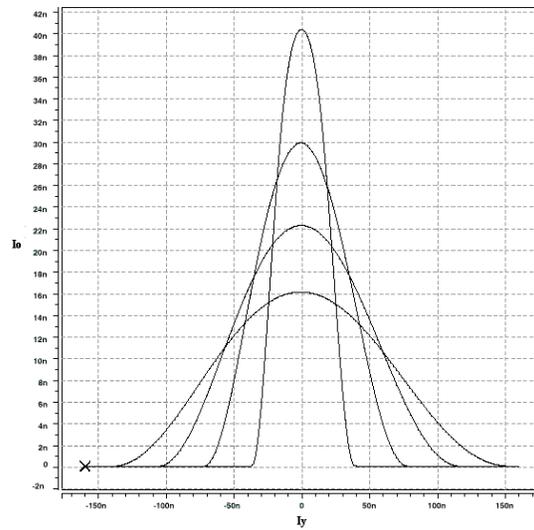


Figura 15. Función Gaussiana Normalizada.

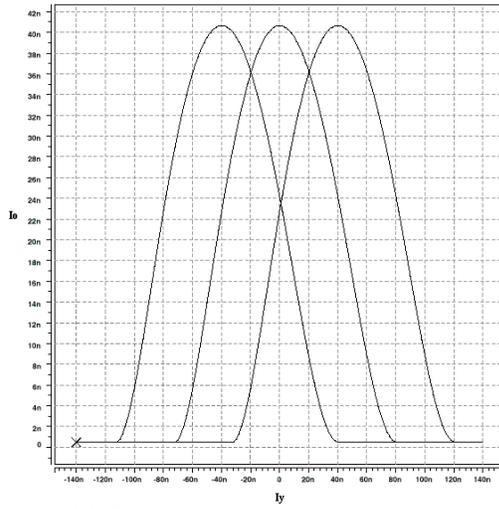


Figura 16. Simulación del parámetro de translación.