

Multiplicador Analógico a 1 Volt en Modo Corriente

Calderón Flores Benjamín

bflores@susu.inaoep.mx

Instituto Nacional de Astrofísica Óptica y Electrónica

Espinosa Flores-Verdad Guillermo

gespino@inaoep.mx

Instituto Nacional de Astrofísica Óptica y Electrónica

Resumen-Una nueva estructura es propuesta para la realización de un multiplicador modo corriente de cuatro cuadrantes, el cual es realizado con sólo seis transistores MOS conectados en paralelo, los cuales operan en inversión débil. Este multiplicador es diseñado, para ser utilizado en sistemas que operan a bajo voltaje, por lo tanto es capaz de operar con una fuente de alimentación de 1 volt o menos.

I Introducción

El multiplicador basado en la celda de Gilbert, ha sido el circuito más utilizado durante los últimos 30 años [1]-[3]. Sin embargo, este no puede ser operado con una alimentación de 1V, por lo que un multiplicador analógico a bajo voltaje es realizado.

Se sabe que los multiplicadores analógicos, son un bloque muy importante en sistemas de procesamiento analógico de señales [4][5]. Estos pueden ser aplicados como comparadores de fase, mezcladores de frecuencia y redes neuronales. Generalmente, los multiplicadores analógicos en sus distintas aplicaciones, exigen diferentes requerimientos. Por ejemplo: en la aplicación de comparadores de fase, el retardo de fase de los puertos de entrada hacia los puertos de salida del multiplicador deberán ser iguales. Esto significa que el multiplicador deberá tener una estructura simétrica. En la aplicación de mezcladores de radiofrecuencia, la linealidad, la respuesta en frecuencia y el aislamiento de puerto a puerto del multiplicador son características importantes, que se deben satisfacer. Por

lo tanto, muchos multiplicadores CMOS de alto desempeño ha sido propuestos [6]-[15]. Entre estos los multiplicadores propuestos en [6]-[8] son simétricos. El multiplicador en [9] tiene bajo aislamiento de puerto a puerto, los presentados en [10]-[13] tienen una estructura compleja, por lo tanto el ancho de banda es limitado y por último los multiplicadores en [14] y [15] tienen un área muy grande.

En este artículo, una estructura en paralelo para un multiplicador analógico CMOS en inversión débil y modo corriente es propuesta. Cabe mencionar que al igual que otros multiplicadores analógicos [16]-[19] este multiplicador es a bajo voltaje, pero a diferencia de estos, este no tiene transistores en serie (conectados uno sobre otro).

En la literatura hay diferentes estrategias de diseño analógico para operar a bajo voltaje y baja potencia [20]-[22], sin embargo, las técnicas de diseño del circuito translineal es un buen prospecto para cumplir estos requerimientos.

II. Principio básico

Los circuitos translineales, involucran lazos que por lo regular son realizados con un número par de dispositivos. De estos lazos, una relación de entrada y salida en modo corriente es obtenida. El principio translineal, también

puede ser empleado para transistores MOS que operan en inversión débil [23][24]. Sin embargo, los rangos de operación del circuito son limitados debido a los niveles de corriente tan pequeños [25]. Se puede notar que diferentes arquitecturas translineales disponibles en transistores bipolares, se pueden realizar con transistores MOS [26]-[28].

El lazo translineal que se utiliza para la realización del multiplicador, es mostrado en la figura 1, de donde se deriva la siguiente relación:

$$V_{gs1} - V_{gs2} + V_{gs4} - V_{gs3} = 0 \quad (1)$$

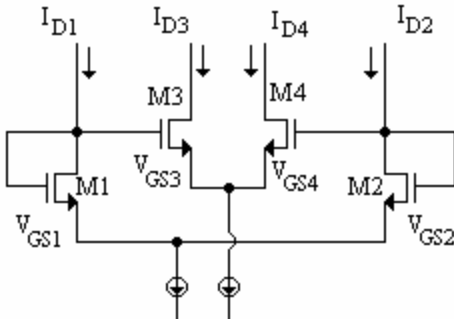


Figura 1. lazo translineal en inversión débil

Basándonos en la ecuación del transistor MOS en inversión débil, tenemos que:

$$\left(\frac{n_k T}{q} \right) \ln \left(\frac{I_d}{I_{d0}} \frac{L}{W} \right) = V_{gs} \quad (2)$$

Sustituyendo (2) en (1) y suponiendo que $\frac{n_k T}{q}$ y la relación $\frac{w}{L}$ son iguales para todos los transistores, tenemos:

$$\frac{I_{d1}}{I_{d2}} = \frac{I_{d3}}{I_{d4}} \quad (3)$$

III. Multiplicador

El multiplicador es mostrado en la figura 2, es realizado con dos lazos translineales estudiados en la sección anterior.

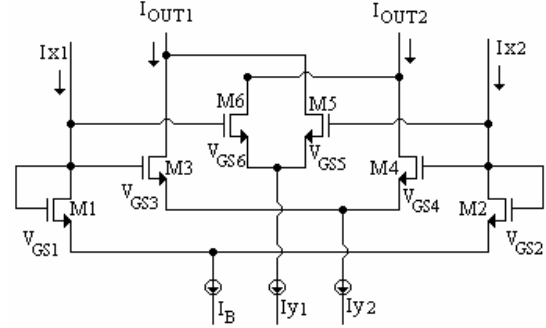


Figura 2. Multiplicador en inversión débil

De la misma manera que la ecuación 1, el segundo lazo proporciona la siguiente relación:

$$V_{gs1} - V_{gs2} + V_{gs5} - V_{gs6} = 0$$

que al igual que el primer lazo, este proporciona la siguiente ecuación:

$$\frac{I_{d1}}{I_{d2}} = \frac{I_{d6}}{I_{d5}} \quad (4)$$

tomando las ecuaciones (3) y (4) y extrapolándola a el multiplicador mostrado en la figura 2, vemos que la diferencia de corrientes $I_{out1} - I_{out2}$ es igual a:

$$I_{out1} - I_{out2} = I_{d3} + I_{d5} - I_{d4} - I_{d6} \quad (5)$$

y tenemos que:

$$I_{y1} = I_{d3} + I_{d4} \quad (6)$$

$$I_{y2} = I_{d5} + I_{d6} \quad (7)$$

sustituyendo las ecuaciones (6) y (7) en (5) tenemos:

$$I_{out1} - I_{out2} = \frac{(I_{y1} - I_{y2})(I_{x1} - I_{x2})}{(I_{x1} + I_{x2})} \quad (8)$$

tomando: $I_y = (I_{y1} - I_{y2})$ a $I_x = (I_{x1} - I_{x2})$
y $I_B = I_{x1} + I_{x2}$ entonces:

$$I_{out1} - I_{out2} = \frac{I_x I_y}{I_B} \quad (9)$$

con esto último, tenemos una multiplicación de corrientes en inversión débil.

IV. Resultados

Los siguientes resultados, fueron obtenidos en HSPICE para una tecnología CMOS de 0.35μ . con una sola fuente de alimentación de 1V. La figura 3., muestra las curvas de transferencia del circuito multiplicador, donde se puede notar que se cuenta con una buena linealidad. La distorsión armónica total de la corriente de salida también fue evaluada y se encontró que es menos del 2.5% a una frecuencia de 100kHz, y menor del 3.1% a una frecuencia de 1MHz, con las misma amplitud de señal de entrada para las dos.

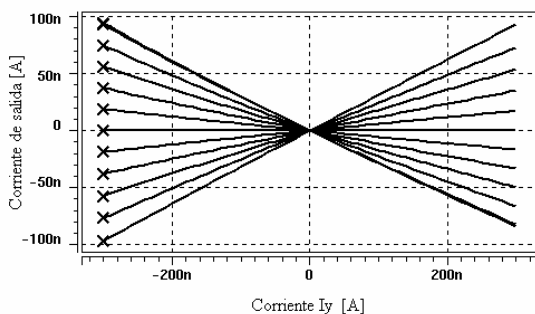


Figura 3. curvas de transferencia del multiplicador

La figura 4. muestra al multiplicador como un modulador, donde una señal senoidal de 1MHz es modulada por una señal senoidal de 100KHz. La potencia consumida de este multiplicador, está en el orden de los 50 nanowatts.

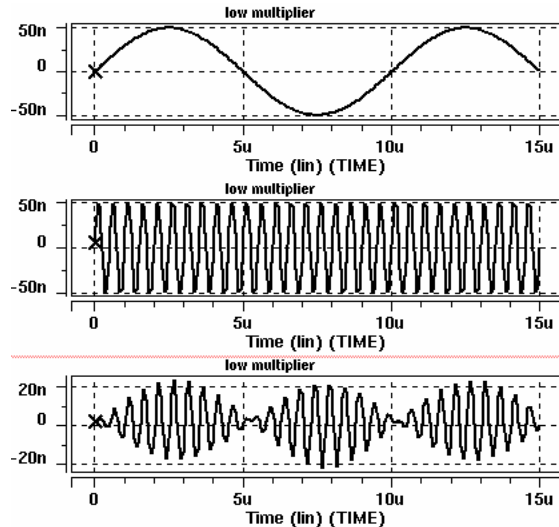


Figura 4. producto de una onda senoidal de 1MHz y una onda senoidal de 100kHz

V. Conclusión

Un multiplicador de cuatro cuadrantes en inversión débil a bajo voltaje, fue realizado. Este es realizado con sólo seis transistores, lo cual es una gran ventaja sobre otros Multiplicadores reportados en la literatura, ya que el diseño es relativamente fácil. Los rangos de entrada de las corrientes deben tener una magnitud de tal manera que no saquen al transistor de la región de operación (inversión débil). Y se debe tener especial cuidado en la desigualdad de los transistores, ya que estos deben ser iguales para que el circuito opere adecuadamente.

Referencias

- [1] B. Gilbert, "A precise four-quadrant multiplier with subnanosecond response", IEEE J. Solid-State Circuits, vol.SC-3, no.4, pp.365-373, Dec. 1968.

- [2] B. Gilbert, "A High-Performance Monolithic Multiplier Using Active Feedback", *IEEE J. Solid-State Circuits*, vol.SC-9, no.6, pp.364-373, Dec. 1974.
- [3] C. W. Kim and S. B. Park, "New Four-Quadrant CMOS Analogue Multiplier", *Electron. Lett.*, vol.23, no.24, pp. 1268-1270, Nov. 1987.
- [4] S. Y. Hsiao and C. Y. Wu, "A Parallel Structure for CMOS Four-Quadrant Analog Multipliers and Its Application to a 2-GHz RF Downconversion Mixer", *IEEE J. Solid-State Circuit*, Vol. 33, no. 6, pp. 859-869, June 1998.
- [5] H.R. Mehrvarz and C.Y. Kwok, "A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier", *IEEE J. Solid-State Circuit*, Vol. 31, no. 8, Aug. 1996.
- [6] K. Bult and H. Wallinga, "A CMOS Four-Quadrant Analog Multiplier", *IEEE J. Solid-State Circuit*, vol. 21, pp. 430-435, June 1986.
- [7] S. C. Qin and R.L. Geiger, "A ± 5 -V CMOS analog multiplier", *IEEE J. Solid-State Circuit*, vol. SC-22, no. 6, pp. 1143-1146, Dec. 1987.
- [8] S.-I. Liu and Y.-S. Hwang, "CMOS Four-Quadrant Multiplier Using Bias Feedback Techniques", *IEEE J. Solid-State Circuit*, vol. 29, pp. 750-752, June 1994.
- [9] K. Kimura, "An MOS Four-Quadrant Analog Multiplier Based on The Multitail Technique Using a Quadritail Cell as a Multiplier Core", *IEEE Trans. Circuit Syst.-I*, Vol. 42, pp. 448-454, Aug. 1995.
- [10] Z. Wang, "A CMOS Four-Quadrant Analog Multiplier With Single-Ended Voltage Output and Improved Temperature Performance", *IEEE J. Solid-State Circuits*, Vol. 26, pp. 1293-1301, Sept. 1991.
- [11] S.L. Wong, N. Kalyanasundaram, and C.A.T. Salama, "Wide Dynamic Range Four-Quadrant CMOS Analog Multiplier Using Linearized Transconductance Stages", *IEEE J. Solid-State Circuits*, Vol. 21, pp. 1120-1122, Dec. 1986.
- [12] J.N. Babanezhad and G. C. Temes, "A 20-V four-quadrant CMOS analog multiplier", *IEEE J. Solid-State Circuit*, vol. SC-20, no. 6, pp. 1158-1168, Dec. 1985.
- [13] S.-I. Liu and C.-C. Chang, "CMOS Analog Divider and Four-Quadrant Multiplier Using Pool Circuits", *IEEE J. Solid-State Circuits*, Vol. 30, pp. 1025-1029, Sept. 1995.
- [14] D.C. Soo and R.G. Meyer, "A four-quadrant NMOS analog multiplier", *IEEE J. Solid-State Circuit*, vol. SC-17, no. 6, pp. 1174-1178, Dec. 1982.
- [15] J.S. Pena-Finol and J.A. Connelly, "A MOS Four-Quadrant Analog Multiplier Using the Quarter-Square Technique" *IEEE J. Solid-State Circuits*, Vol. 22, pp. 1064-1073, Dec. 1987.
- [16] A. L. Coban, P.E. Allen, and X. Shi, "Low-voltage CMOS Analog IC Design in CMOS Technology", *IEEE Trans. Circuits Syst.-I*, Vol.42, pp. 955-958, Nov. 1995.
- [17] S.-I. Liu, "Low Voltage CMOS Four-Quadrant Multiplier", *Electron. Lett.*, Vol. 30, no. 25, pp. 2125-2126, Dec. 1994.
- [18] G. Colli and F. Montecchi, "Low Voltage Low Power CMOS Four-Quadrant Analog Multiplier for Neural Network Applications," in *Proc. ISCAS*, May 1996, pp. 496-499.
- [19] S.-I. Liu and C.-C. Chang, "Low-voltage CMOS Four-Quadrant Multiplier", *Electron. Lett.*, Vol. 33, no. 3, pp. 207-208, Jan. 1997.
- [20] W. A. Serdijn, C. J. M. Verhoeven and A. H. M. Roermund eds., "Analog IC Techniques for Low-Voltage Low-Power Electronics", Delft University Press: The Netherlands, 1995.
- [21] R. J. van de Plassche, W. M. C. Sansen, and J. Huijsing, eds., "Analog Circuit Design: Low-Power, Low-Voltage, Integrated Filters, and Smart Power", Boston, MA: Kluwer, 1995.
- [22] J. Fonderie, "Design of Low-Voltage Bipolar Operational Amplifiers", Delft University Press: The Netherlands, 1991.
- [23] B. Gilbert, "Current-mode circuits from a translinear viewpoint: a tutorial", in chapter 2 of C. Toumazou, F. J. Lidgley and D. G. Haigh, eds., *Analogue IC Design: The Current-Mode Approach*, IEE Peter Peregrinus Ltd: London, 1990.
- [24] B. Gilbert, "Translinear Circuits: an historical review", in *Analog Int. Circuits and Signal Processing*, Special Issue: Translinear Circuits, Guest Editors: Barrie Gilbert and Evert Seevinck, no. 2, pp. 95-118, March 1996.
- [25] E. A. Vittoz, "Low-Power low-voltage Limitations and prospects in analog design", in R. J. V. Plassche, W. M. C. Sansen, and J. H. Huijsing, eds., *Analog Circuit Design: Low-Power, Low-Voltage, Integrated Filters, and Smart Power*. Boston, Ma: Kluwer, 1995.
- [26] A.G. Andreou and K. A. Boahen, "Translinear Circuits in Subthreshold MOS", in *Analog Int. Circuit and Signal Processing*, Special Issue: Translinear Circuits, Guest Editors: Barrie Gilbert and Evert Seevinck, no. 2, pp. 141-166, March 1996.
- [27] T. Serrano-Gotarredona, B. Linares-Barranco and A. G. Andreou, "A General Translinear Principle for Subthreshold MOS Translinear", *IEEE Trans. On Circuits And Systems II*, Vol. 46, no. 5, pp. 607-615, May 1999.
- [28] J. Mulder, A. C. v. d. Woerd, W. A. Serdijn and A. H. M. v. Roerdmund, "Application of the Back Gate in MOS Weak Inversion Translinear Circuit Principle", *IEEE J. Solid-State Circuits*, vol. 26, no. 8, pp. 1098-1102, Aug. 1991.