



Celda Compacta para la Construcción de Multiplicadores Paralelos Basada en Compuertas Flotantes.

Luis F. Cisneros Sinencio , Juan J. Yáñez Macías y Alejandro Diaz Sánchez
lufocisi@hotmail.com jyanez@susu.inaoep.mx mailto:adiazsan@inaoep.mx

Resumen.- Este documento presenta la realización de una celda básica para su empleo en multiplicadores de tipo paralelo. La celda propuesta esta construida con solo dos comparadores lógicos basados en compuertas flotantes. El número reducido de transistores empleados hacen de esta una aplicación apropiada para alta velocidad sin necesidad de sacrificar capacidad de integración o requerir de consumos de potencia muy elevados.

Introducción

La popularidad de aplicaciones basadas en compuertas flotantes ha tenido un crecimiento importante. El impacto de este nuevo estilo de diseño ha afectado tanto a la electrónica digital como analógica. Un ejemplo de esto es la aplicación de compuertas flotantes para la construcción de multiplicadores digitales. Se han presentado varias propuestas de compuertas digitales basadas en compuertas flotantes. Lo anterior es posible aprovechando la propiedad de transferencia de carga de los capacitores. Esta propiedad permite la suma de señales de voltaje. En este trabajo se propone una celda para la construcción de multiplicadores paralelos

Multiplicadores Paralelos

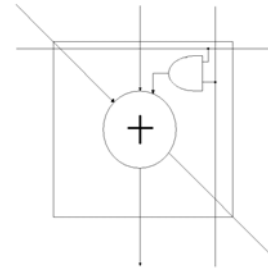
Un multiplicador paralelo esta basado en la evaluación de los productos de manera parcial y en la acumulación de los productos parciales desplazados. Esto puede ser representado en forma matemática para enteros binarios sin signo con la siguiente relación [1]

$$P_T = \sum_{k=0}^{m+n-1} P_k 2^k$$

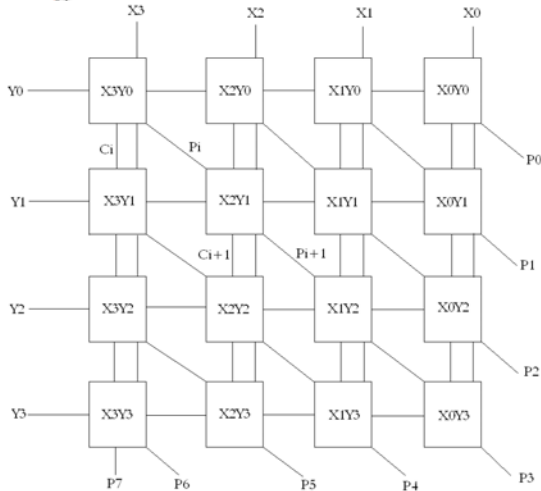
donde P_T es el bit de salida y P_k el producto parcial o sumando. Se ejemplificara el uso de la celda propuesta mediante un multiplicador de 4 X 4 bits. Para este caso, la expresión anterior se expande a

$$\begin{array}{r}
 \begin{array}{cccc}
 X3 & X2 & X1 & X0 \\
 Y3 & Y2 & Y1 & Y0 \\
 \hline
 X3Y0 & X2Y0 & X1Y0 & X0Y0 \\
 X3Y1 & X2Y1 & X1Y1 & X0Y1 \\
 X3Y2 & X2Y2 & X1Y2 & X0Y2 \\
 X3Y3 & X2Y3 & X1Y3 & X0Y3 \\
 \hline
 P7 & P6 & P5 & P4 & P3 & P2 & P1 & P0
 \end{array}
 \end{array}$$

La siguiente figura muestra el arreglo que realiza la función de la celda básica para un multiplicador paralelo



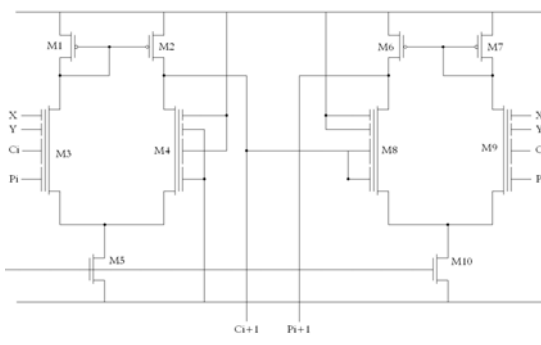
este arreglo implementado para el multiplicador de 4 X 4 bits de ejemplo será como sigue



Este tipo de multiplicadores tiene la desventaja de un tiempo de retardo bastante largo debido a la cantidad de celdas básicas en serie. Este tipo de celdas deben tener aproximadamente el mismo tiempo de retardo para el acarreo como para la propagación de la suma. La combinación de multiplicadores paralelos con otro tipo de estructuras como carry select adder puede resultar en una buena respuesta en cuanto a velocidad para operaciones de gran número de bits.

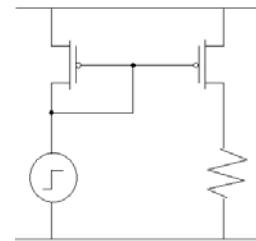
Descripción del Circuito

Para implementación de la celda básica mencionada es necesario utilizar una función AND para realizar la multiplicación de las dos entradas, y dos XOR para obtener la suma de propagación y otra AND para obtener el acarreo. Se propuso la obtención de las señales mencionadas con el empleo de dos comparadores con compuertas flotantes. El diagrama esquemático del circuito utilizado para la celda básica del multiplicador paralelo se muestra en la siguiente figura.



Se puede apreciar que la obtención del acarreo se hace con un solo bloque, mientras que la suma requiere de dos. Esto representa el doble de retardo para la suma comparado con el acarreo. Como el multiplicador paralelo requiere que ambas salidas tengan un retardo de propagación tan semejante como sea posible, se puede agregar otra etapa comparadora como retardo. El diseño de los comparadores utilizados se realizó de la siguiente manera.

Primeramente se buscó un espejo de corriente que tuviera una buena respuesta en cuanto a velocidad. El circuito utilizado para la medición de la velocidad de respuesta del espejo (figura 4) nos permite determinar las dimensiones más apropiadas midiendo el retardo en la resistencia de carga de un pulso aplicado con una fuente de corriente.



En el caso presentado, el espejo más rápido fue el de dimensiones mínimas. Sin embargo un espejo de dimensiones mayores presenta una mayor sensibilidad al hacer la comparación. Las dimensiones del espejo seleccionado juegan en papel más crítico en el diseño de bloques basados en comparadores lógicos con compuertas flotantes. La selección de las dimensiones de los transistores comparadores tampoco es muy crítica, por lo que se utilizaron nuevamente las dimensiones mínimas. El transistor que proporciona la corriente al circuito debe ser diseñado de tal forma que tenga el 50% del voltaje de alimentación cuando este polarizado. Esta distribución del voltaje permitirá que la carga o descarga de los nodos internos del circuito sea más eficiente.

Selección de las Capacitancias



Las dimensiones de los capacitores empleados deberán ser mayores a las capacitancias parásitas del circuito. Otro aspecto crítico es la relación de las capacitancias a utilizar. Los capacitores empleados pueden desbalancear la comparación hacia un lado u otro ayudando un poco a la sensibilidad del circuito. Un ejemplo de la importancia de la relación de las capacitancias es la eliminación de la compuerta AND agregando dos capacitores de $\frac{1}{2}$ de las dimensiones utilizadas. La influencia de ambos capacitores se manifiesta solo si ambos tienen 1 a sus entradas.

Simulación de la Celda

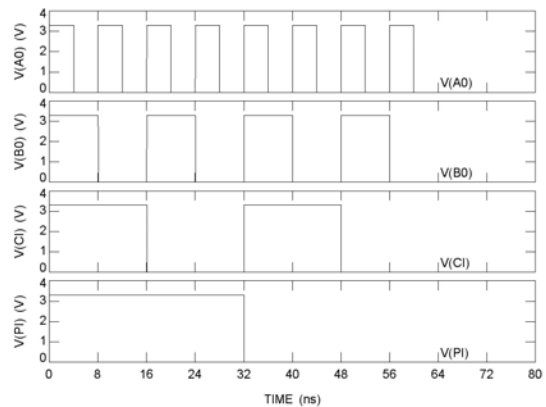
Para la simulación de un multiplicador de 4 bits utilizando la celda propuesta se agregó un retardo a la salida del acarreo además de inversores para restaurar los niveles lógicos. Estas etapas pueden ser eliminadas con un dimensionamiento más minucioso, aumentando la velocidad de respuesta de la celda. Las dimensiones empleadas son las citadas en la tabla 1.

Transistor	Dimensión (μm) W/L
M1	6/2
M2,3,4,8,9	5/2
M5,10	32/3
M6,7	10/2

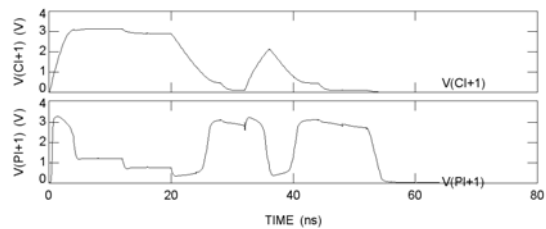
Para su simulación en SPICE fue necesaria la implementación del circuito propuesto por J. Ramirez Angulo y G. Gonzalez-Altamirano [2]. Los resultados de la simulación de la celda básica se muestran en la figura 6. A la entrada se hicieron variar todas las señales, a0, b0, Ci, Pi (6.a). La tabla de verdad para las entradas como se describieron se muestran en la tabla adjunta a las graficas. La simulación presentada incluye los retardos mencionados, y su frecuencia de operación de de 250Mhz (6.b). La segunda simulación fue de todo el multiplicador con sus 16 celdas básicas. La frecuencia de operación para el circuito completo fue de 50Mhz. La principal problemática de esta implementación son los retardos de propagación, estos empeoran

para el caso de en P3. La grafica de las figuras 7a y 7bnos muestran la tabla de verdad para el multiplicador variando de 0 a F, con el multiplicando fijo.

Pi	Ci	X0	Y0	Pi+1	Ci+1
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	1

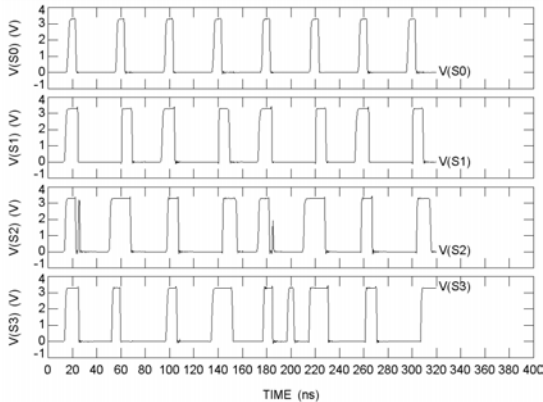


a)

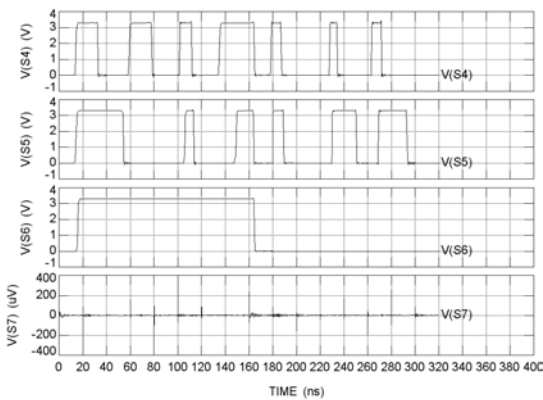


b)

Figura 6. Simulación de la Celda Basica



a)



b)

Figura 7. Simulación del multiplicador de 4 X 4 bits

Conclusiones

Se ha presentado una forma de realizar funciones lógicas, siendo su principal característica el reducido número de transistores requeridos en la implementación.

El uso de compuertas flotantes para la construcción de dichos bloques lógicos es de gran ayuda. Permite la implementación de lógicas con solo la manipulación de la relación entre las capacitancias del circuito.

La frecuencia de operación de esta celda es bastante alta. Sin embargo la diferencia en el tiempo de propagación de ambas señales de salida hace necesario el uso de retardos. Estos retardos, reducen notablemente la frecuencia de operación del circuito, sin embargo pueden ser eliminados con un dimensionamiento más apropiado a cada aplicación.

Referencias:

- [1] *Principles of CMOS VLSI Design*. N. H. E. Weste, K. Esraghian.
- [2] *Modeling Multiple Input Floating Gate Transistors for Analog Signal Processing*. J. Ramirez-Angulo, G. Gonzalez-Altamirano, S.C. Choi.