

# ANILLOS DE INVERSORES INTERCONECTADOS COMO REDES DE DISTRIBUCION DE RELOJ

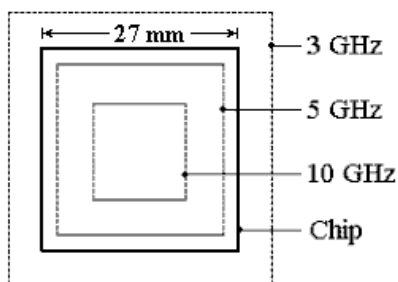
Manuel Salim Maza, Mónico Linares Aranda  
Instituto Nacional de Astrofísica, Óptica y Electrónica.  
Apdo. Postal 51 y 216, CP 7200, Puebla, Pue., Méx.  
msalim@inaoep.susu.mx, mlinares@inaoep.mx

## RESUMEN

La distancia máxima que una señal conmutando a una frecuencia dada puede viajar en un chip depende del tiempo de vuelo y presenta límites en el tamaño de la región isócrona. Nuevas filosofías han surgido para resolver este problema particularmente en Redes de Distribución de la señal de Reloj (RDRs), sobre chips de área grande. En este artículo, se analizan esquemas de RDRs del tipo local (anillos interconectados de 5 inversores y 3 inversores) para utilizarse como redes de distribución de reloj Globalmente Asíncrona Localmente Síncronas (GALS) para longitudes de chip desde 4 hasta 24mm. Se propone un oscilador de anillo de 3 inversores a 45° de cobertura triangular con el cual se logran RDRs GALS de alta modularidad y homogeneidad. Máximo de 200 palabras.

## 1. INTRODUCCION

La distancia máxima que una señal conmutando a una frecuencia dada puede viajar en un chip se ilustra en la figura 1 [1] donde a 3GHz, el tiempo de vuelo (TOF) no limita la propagación de la señal en un chip de 750mm<sup>2</sup>, pero a 10 GHz presenta límites en el tamaño de la región isócrona.



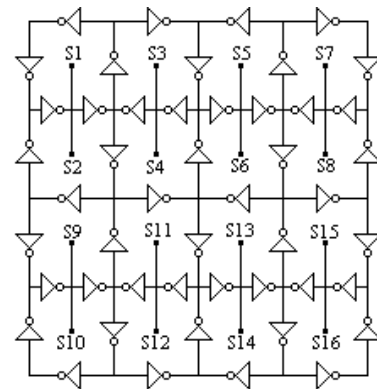
**Figura 1.** Relación entre el tiempo de vuelo y el tamaño del chip para un microprocesador con dimensión mínima de 50nm y  $\epsilon=1.5$ .

Nuevas filosofías han surgido para resolver este problema, algunas comprenden la solución a nivel proceso de fabricación como el empaquetado flip-chip

[1]; o a nivel arquitectura como en la sincronización local globalmente asíncrona mediante la transferencia de información asíncrona entre bloques [2], o bien una red de distribución de reloj de anillos interconectados [3] como se ilustra en la figura 2.

Gracias a estas filosofías, el problema de distribución de la señal de reloj sobre grandes áreas de chip, puede ser resuelto dividiéndola en bloques más pequeños para obtener la jerarquía o modularidad deseada en todo diseño.

Este artículo presenta una comparación entre el desempeño de anillos interconectados de 5 inversores [3] y una nueva propuesta de 3 inversores, para utilizarse como redes de distribución de reloj globalmente asíncrona localmente síncrona para longitudes de chip desde 4 hasta 24mm.

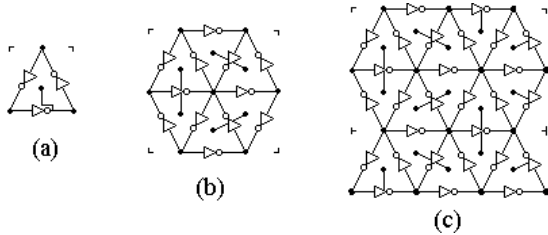


**Figura 2.** Anillos interconectados, localmente síncronos globalmente asíncronos

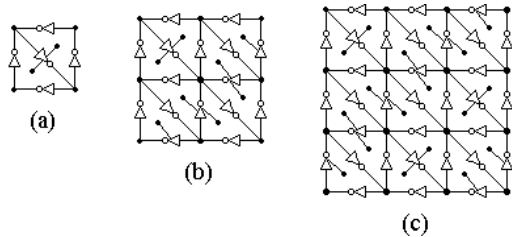
## 2. ANILLOS INTERCONECTADOS DE 3 Y 5 INVERSORES

En la figura 2 se muestra una red de distribución de reloj compuesta de 16 anillos interconectados con 5 inversores cada uno [3], mientras que en las figuras 3 a 5 se presenta nuestra propuesta con anillos interconectados de 3 inversores: los incisos (a) corresponden a una etapa o celda básica cubriendo un área de 2x2 mm<sup>2</sup>; los incisos (b) corresponden a 2 etapas cubriendo 4x4 mm<sup>2</sup>; y los incisos (c) corresponden a 3

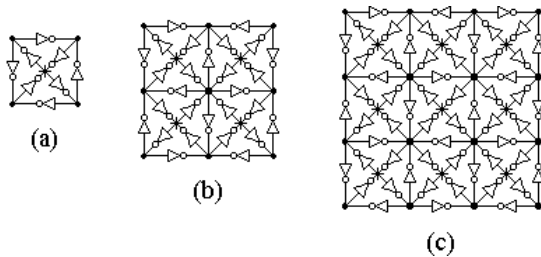
etapas cubriendo  $6 \times 6 \text{ mm}^2$ , excepto para el caso de anillos interconectados de 3 inversores a  $60^\circ$ , ya que al formarse triángulos equiláteros, la altura es disminuida en  $\sin(60^\circ)$  o  $1/\sqrt{3}$ .



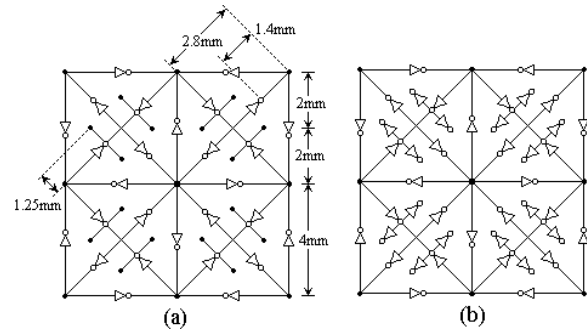
**Figura 3.** Anillos de 3 inversores a  $60^\circ$ : a) Un anillo y su sumidero son mostrados; b) 6 anillos interconectados; c) 15 anillos interconectados.



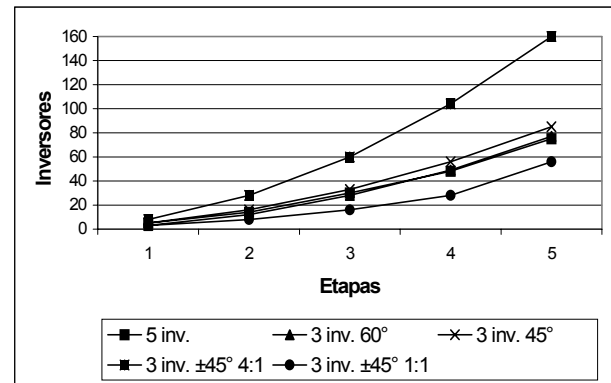
**Figura 4.** Anillos de 3 inversores a  $45^\circ$ : a) Dos anillos y sus sumideros son mostrados; b) 8 anillos interconectados; c) 18 anillos interconectados.



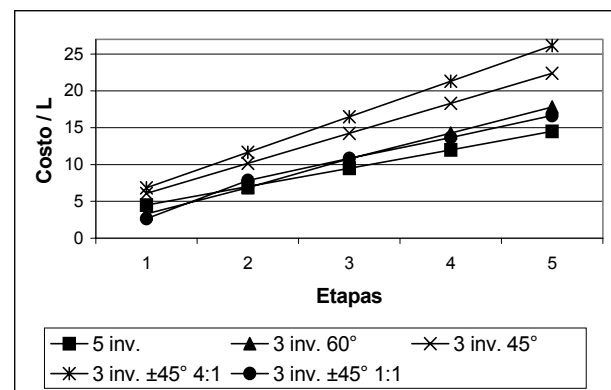
**Figura 5** Anillos de 3 inversores a  $\pm 45^\circ$ : a) Cuatro anillos y un sumidero son mostrados (4:1); b) 16 anillos interconectados; c) 36 anillos interconectados.



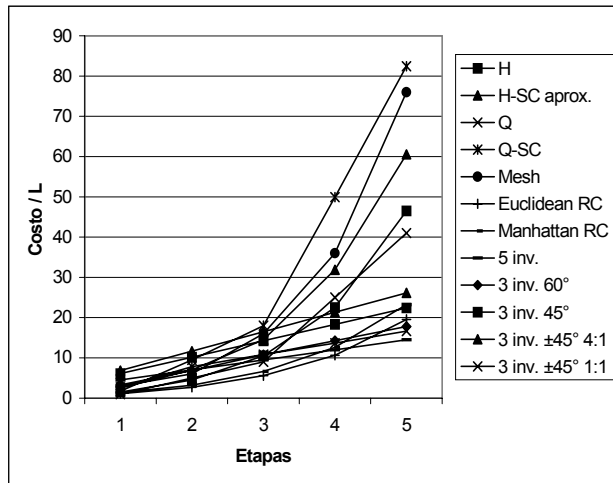
**Figura 6.** Anillos de 3 inversores a  $\pm 45^\circ$ , un anillo por sumidero (1:1): a) 16 anillos interconectados, sus sumideros y distancias son mostrados; b) 16 anillos interconectados con inversores-buffers en cada sumidero.



**Figura 7.** Número de inversores contra etapas de anillos interconectados de 3 y 5 inversores. La topología que utiliza menor número de inversores es 3 inv.  $\pm 45^\circ$  1:1.



**Figura 8.** Costo (sobre longitud del chip) contra etapas de anillos interconectados de 3 y 5 inversores. Las topologías con menores costos son 5 inv. y 3 inv.  $\pm 45^\circ$  1:1.

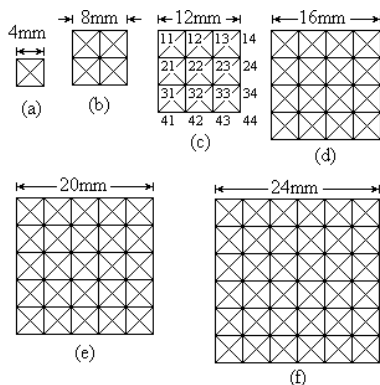


**Figura 9.** Comparación de Costos (longitud de interconexión) entre diferentes topologías de distribución de reloj globales [4] y locales.

De acuerdo con las figuras 7, 8 y 9 se observa claramente que la topología  $3 \text{ inv. } \pm 45^\circ 1:1$ , mostrada en la figura 6, es la que utiliza menor número de inversores por etapa y la segunda topología en ahorro de longitud de interconexión, después de la topología de anillos de 5 inversores, razón por la cual en esta topología se centra el análisis que a continuación se describe.

### 3. MODULARIDAD EN ANILLOS INTERCONECTADOS

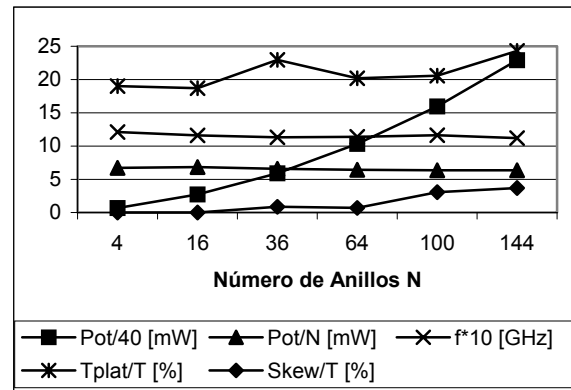
Se explora la modularidad de la configuración  $3 \text{ inv. } \pm 45^\circ 1:1$  para longitudes de chip desde 4mm hasta 24mm como se representa en la fig. 10. En la fig. 10-b se ilustra de forma simplificada la topología presentada en la fig. 6-b.



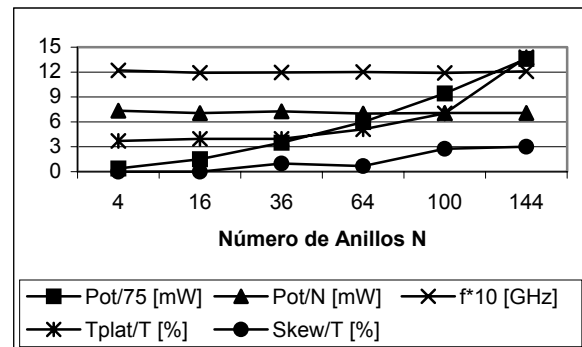
**Figura 10.** Representación modular de anillos interconectados  $3 \text{ inv. } \pm 45^\circ 1:1$ . a) 4 anillos; b) 8 anillos; c) 12 anillos; d) 16 anillos; e) 20 anillos; f) 24 anillos.

16 anillos; c) 36 anillos; d) 64 anillos; e) 100 anillos; d) 144 anillos.

Mediante simulaciones Spice se obtuvieron el consumo de potencia, la frecuencia de operación, el corrimiento de reloj entre sumideros (skew) y el tiempo de plateau (cuando la señal se encuentra debajo del 10% o sobre el 90% del voltaje de alimentación Vdd) de la topología  $3 \text{ inv. } \pm 45^\circ 1:1$ , para 4, 16, 36, 64, 100 y 144 anillos interconectados (Fig. 10). Como se ilustra en las figuras 11 y 12, la frecuencia de operación y el consumo de potencia por anillo se mantienen prácticamente constantes y el corrimiento de reloj se mantiene por debajo del 4% del periodo de la señal hasta para 144 anillos interconectados que corresponden a una longitud de chip de 24mm y para cargas en cada sumidero de 200fF. Se observa así la gran modularidad que presentan las configuraciones de anillos interconectados, de tal forma que a mayores áreas de chip, sólo debe repetirse el bloque básico y la configuración conservará en forma satisfactoria las características del bloque iniciales y su consumo de potencia será proporcional al número de bloques.



**Figura 11.** Figuras de Mérito para anillos interconectados  $3 \text{ inv. } \pm 45^\circ 1:1$  con carga en sumideros finales de 50fF.





**Figura 12.** Figuras de Mérito para anillos interconectados 3 inv.  $\pm 45^\circ$  1:1 con carga en sumideros finales de 200fF.

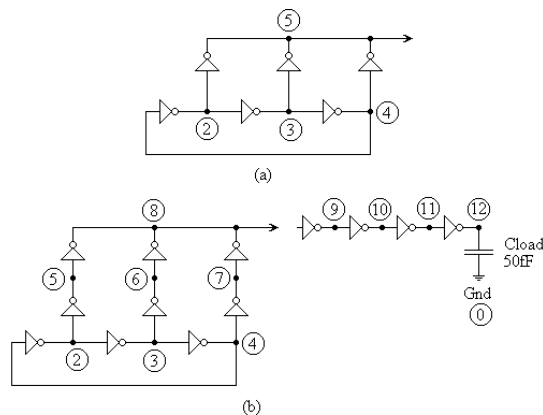
#### 4. SUMA DE CORRIENTES DEL ANILLO

En base a las ventajas obtenidas al pasar de anillos de 5 a 3 inversores, se espera tener mejoras similares al utilizar anillos de un inversor, por lo que se han explorado sus equivalentes: Oscilador de relajación [5], etapa diferencial con retroalimentación [6] y suma de corrientes del anillo [7]. En estas aproximaciones el análisis se complica pues se debe asegurar la oscilación, y que sus salidas presenten una excursión riel a riel.

En la figura 14 se presentan los resultados obtenidos para nuestra propuesta de suma de corrientes del anillo, mostrada en la figura 13. La salida de voltaje obtenida de la variación mostrada en la figura 13-a presenta una excursión pequeña (500mV aprox.) centrada en  $V_{dd}/2$ . El diseño para el anillo es  $W_n/W_p = 5\mu\text{m} / 10\mu\text{m}$  (lo cual significa que el transistor Nmos tiene un ancho de  $5\mu\text{m}$  y el Pmos de  $10\mu\text{m}$ ), ambos con longitudes mínimas. El diseño para los inversores de la suma es de  $1/2\mu\text{m}$ .

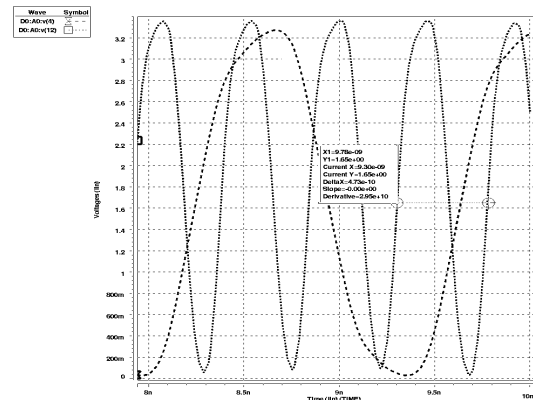
En la figura 13-b se agrega otra etapa de inversores entre el anillo y la suma con anchos mayores a los del anillo tanto para alentarlo como para darle mayor pendiente a las señales a sumar. El anillo tiene un diseño  $1/2\mu\text{m}$ , los inversores intermedios de carga tienen un diseño  $3/6\mu\text{m}$  y los inversores de suma  $5/10\mu\text{m}$ .

La señal en el punto de suma es amplificada o acondicionada, de acuerdo con la figura 13-b, por cuatro inversores en cascada con diseño  $8/18.4\mu\text{m}$  alimentando una carga de 50fF con excursión casi completa como se ilustra en la figura 14. El consumo de potencia para todo el arreglo trabajando a máxima excursión es de 24mW.



**Figura 13.** Suma de corrientes del anillo de tres inversores. a) Sumando con inversores; b)

Modificando la forma de onda antes y después de la suma.



**Figura 14.** Formas de onda de la suma de corrientes del anillo modificando su forma de onda después de 4 inversores, manejando una carga de 50fF y a una  $f=2.1\text{GHz}$ .

#### 5. CONCLUSION

Se presentó una comparación entre el desempeño de anillos interconectados de 5 inversores y nuestra propuesta de 3 inversores, para utilizarse como redes de distribución de reloj globalmente asíncrona localmente síncrona para longitudes de chip desde 4 hasta 24mm. Resultados de simulación muestran que con el oscilador de anillo de 3 inversores a  $45^\circ$  de cobertura triangular propuesto se logran RDRs GALS de alta modularidad y homogeneidad. Se continúa trabajando en estas redes con el fin de reducir el consumo de potencia, parámetro vital en sistemas complejos y/o sistemas portátiles y multimedia.

#### 6. AGRADECIMIENTOS

Este trabajo fue parcialmente apoyado por el Consejo Nacional de Ciencia y Tecnología (CONACYT-MEXICO) bajo el proyecto de investigación no. 34557-A

#### REFERENCIAS

[1] Special Issue: Interconnections addressing the next challenge of IC Technology, *Proceedings of the IEEE*, April and May 2001.  
 [2] Thomas Meincke et al., Globally asynchronous locally synchronous architecture for large high-performance ASICs, *Proc. Of the 1999 IEEE ISCAS*, May 30-June 2, 1999, Orlando, Florida.  
 [3] Lars Bengtsson and Bertil Svensson, A Globally Asynchronous, Locally Synchronous SIMD Processor,



*Proc. of MPCCS'98: Third International Conference on Massively Parallel Computing Systems*, Colorado Springs, Colorado, USA, April 2-5, 1998.

[4] M. Salim Maza and M. Linares Aranda, Analysis of Clock Distribution Networks in the Presence of Crosstalk and Groundbounce, *IEEE ICECS*, Malta 2001.

[5] A. Ahmed, K. Sharaf, H. Haddara, H. F. Ragai, CMOS VCO-Prescaler Cell-based Design for RF PLL Frequency Synthesizers, *IEEE ISCAS*, Geneva, Switzerland, 2000 May 28-31.

[6] Behzad Razavi, A 2-GHz 1.6mW PLL, *IEEE JSSC*, Vol. 32, No. 5, May 1997.

[7] Yasuhiro Sugimoto y Takaaki Tsuji, Study of a Low Voltage, Low Power and High Frequency CMOS VCO Circuit, *IEICE Trans. Fundamentals*, Vol. E79-A, No. 5, pp. 630-633, May 1996.