



Diseño de Elementos de Memoria para Aplicaciones de Alta Velocidad

Mendoza Vázquez Raymundo, Linares Aranda Mónico
Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)
Apartado Postal 51 C. P. 72000, Puebla, Mex.
rmendoza@susu.inaoep.mx, mлинаres@inaoep.mx

RESUMEN

En este artículo se presenta una comparación de la eficiencia de diferentes estilos lógicos de diseño de Flip-flops D (Elementos de Memoria) bajo diferentes condiciones de voltajes, cargas y frecuencias. Los diferentes circuitos han sido diseñados utilizando parámetros MOSIS de $0.18 \mu\text{m}$. De acuerdo con simulaciones HSPICE tres topologías destacan: TGFF, SDFNO, y FFYDHL, cada uno con una técnica de diseño diferente pero con excelentes características de velocidad y consumo de potencia.

1. INTRODUCCIÓN

Flip flops y latches (refiriéndolos colectivamente como Elementos de Memoria “EM”) son componentes críticos en diseño sistemas de muy alta escala de integración (VLSI). Los elementos de memoria tienen un gran impacto tanto en el retardo y en el consumo de potencia de los sistemas que los utilizan, particularmente en sistemas portátiles. Diseños flip-flop o latch no son universalmente óptimos; estos varían significativamente en sus parámetros de tiempo (retardo, tiempo de sostenimiento y captura), consumo de potencia (reloj, datos, interno y externo) y en su capacidad de manejar cargas a la salida. En este artículo, se caracterizan diferentes topologías de flip-flops en cuanto a velocidad y consumo de potencia cuando se utilizan fuentes de alimentación reducidas, bajo diferentes condiciones de carga y frecuencia de operación para obtener las topologías más robustas.

El presente trabajo está organizado de la siguiente manera: en la sección 2, se muestran las mejores topologías de flip-flop (EM) tanto estáticas como dinámicas. En la sección 3, se describen los parámetros de caracterización y desempeño de los EM. En la sección 4 se discuten brevemente los mecanismos de reducción de potencia. En la sección 5 se muestra la comparación y el análisis de resultados. Finalmente, las conclusiones derivadas son presentadas en la sección 6.

2. TOPOLOGÍAS DE FLIP-FLOPS

Existen diferentes topologías de flip-flops las cuales pueden englobarse en 6 categorías: pares latch maestro-esclavo, latches activados por pulso, flip-flops dinámicos manejados por una real fase de reloj, flip-flops de swing reducido de reloj, flip-flops con compuerta gating clock interna y flip-flops disparados por doble

borde. En este trabajo se consideran solo las tres primeras categorías por presentar las mejores características de velocidad, potencia y manejo de carga.

a) PARES LATCH MAESTRO-ESCLAVO.- Estos flip-flops son diseñados como pares latch, donde uno es transparente en alto y el otro es transparente en bajo. El flip-flop de compuertas de transmisión o par latch PowerPC603 [1] (TGFF) Fig. 1(a), y el flip-flop C²MOS pseudo-estático [2] (MC2MOS) Fig. 1(b) son los mejores de esta categoría.

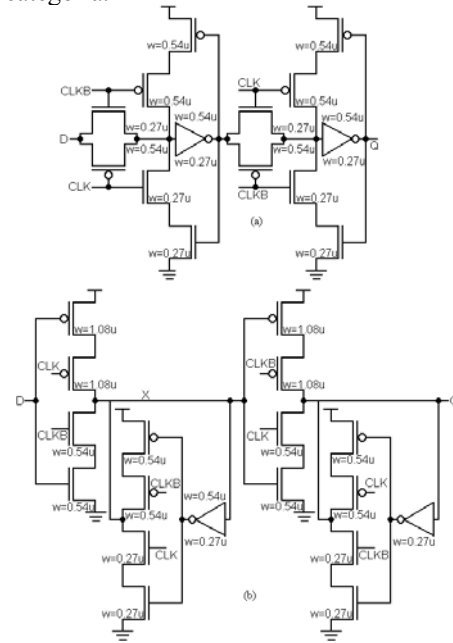


Fig. 1 Pares Latch Maestro-Esclavo a) TGFF, b) MC²MOS

b) LATCHES ACTIVADOS POR PULSO.- Son flip-flop de dos estados, donde el primer estado es un generador de pulso y el segundo estado es un latch. El flip-flop semi-dinámico [3] (SDF) Fig. 2(a), tiene una primera interfaz dinámica que proporciona un pulso de reloj que dispara una parte final comprendida por un latch estático. El flip-flop propuesto por Yang et al. (FFYWW) [4] Fig. 2(b) cuenta con un generador de pulsos estático y un latch TSPC de salida dividida. Una versión mejorada del SDF es el propuesto por Nedovic-Oklobdzija [5] (SDFNO) Fig. 2(c).

c) FLIP-FLOPS DINÁMICOS.- Los flip-flops dinámicos destacan por sus altas velocidades de operación. Los más



sobresalientes en cuanto a su desempeño son aquellos que se basan en latches TSPC “n” o “p” con una etapa de precarga del tipo contrario “p” o “n”. El flip-flop propuesto por Yuan-Svensson (FFYS) [6] Fig. 3(a) y la modificación hecha por Yang-Dehng-Hsu-Liu (FFYDHL) [7] Fig. 3(b) son los más destacados.

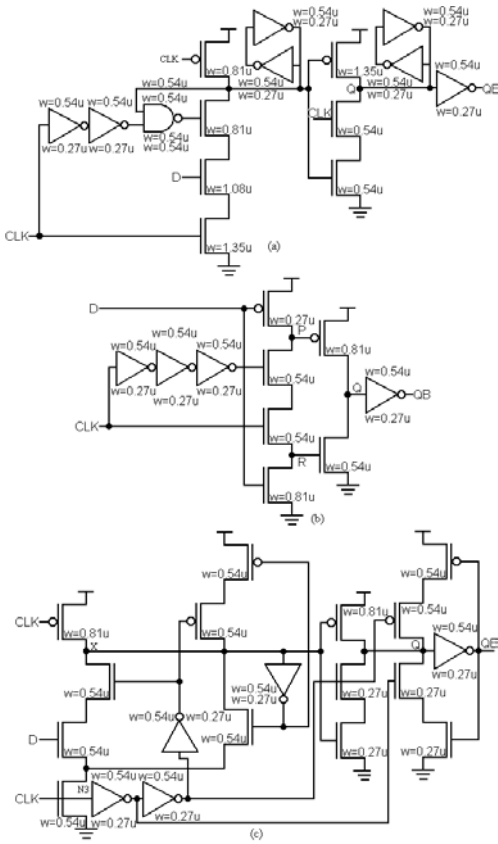


Fig. 2 Latches activados por Pulso a) SDFP, b) FFYDHL, c) SDFPNC

3. CARACTERIZACIÓN DEL DESEMPEÑO

3a) Parámetros de Caracterización.

Las reglas aplicadas en este estudio comparativo de diferentes tipos de flip-flops son tomadas del artículo de Stojanovic [8] donde establece una serie de reglas para una estimación de desempeño y consumo de potencia consistente. Los parámetros de tiempo y potencia más importantes a medir en flip-flops son: el retardo de reloj-salida (CLK-Q), el tiempo de captura (setup), el tiempo retención (hold), los tiempos de elevación y caída en la salida del flip-flop y por su parte el consumo de potencia de reloj, datos, e interno incluyendo por su puesto el Producto-Energía-Retardo. Por supuesto, existen muchos mas parámetros de caracterización como área, e inclusión de lógica entre otros, sin embargo, los mencionados

anteriormente caracterizan los parámetros más importantes de desempeño de cualquier flip-flop.

3b) Caracterización del Desempeño.

Establecer un criterio de comparación de diferentes estilos de diseño encierra muchas consideraciones. Además de una tecnología en común, en un arreglo de simulación deben controlarse tamaños de transistores, tiempos de transición de entrada, condiciones de carga y secuencias de entrada de datos. En estudios comparativos presentados por otros autores se presentan análisis en cuanto a diferentes secuencias de prueba [9], reducción de la fuente de alimentación [10] y el estudio con o sin buffers a la salida [11] para mejorar el desempeño de cada topología; por lo tanto es necesario seleccionar los parámetros más importantes que pueden ser alterados.

Tradicionalmente, los diseñadores eligen determinadas estructuras de flip-flops y las usan uniformemente a través de un circuito. En este artículo, se muestra que los diseños de flip-flops no son universalmente óptimos y debe haber un equilibrio en cuanto a la velocidad-consumo de potencia en consecuencia a tres razones principales: I) el reloj local y los patrones de activación de datos para varios EM en un circuito dado pueden variar considerablemente; II) la mayoría de los EM no se encuentran en trayectorias críticas, y estos tienen amplios periodos de inactividad de tiempo y III) los tamaños de carga absolutos a la salida varían considerablemente para varios EM. Basados en estas observaciones, se propone que en cualquier análisis comparativo de elementos de memoria, estos sean evaluados a través de la variación de 4 parámetros de evaluación-caracterización: a) carga, b) frecuencia, c) voltaje y d) patrones de activación de datos en combinación con el reloj. En análisis comparativos previos [8] se han realizado estudios examinando únicamente un parámetro de evaluación-caracterización; sin embargo, un estudio completo necesita la combinación-evaluación de todos al mismo tiempo y no en forma separada, incluyendo por supuesto una optimización conjunta de velocidad-consumo de potencia en cada topología. En este trabajo todos los flip-flops son caracterizados desde 3.3 a 1.5V.

Las fuentes de disipación de potencia asociadas al flip-flop consideradas en este trabajo son: *Disipación de potencia interna*, la cual es la potencia disipada en las transiciones dentro del flip-flop excluyendo la potencia de conmutación de la carga externa. *Disipación de potencia local de reloj*, la cual consiste de la potencia externa en el buffer de reloj que es necesaria para temporizar el flip-flop y la *Disipación de potencia local de datos*, la cual es debida a la potencia en la compuerta de manejo de los datos de entrada del flip-flop.

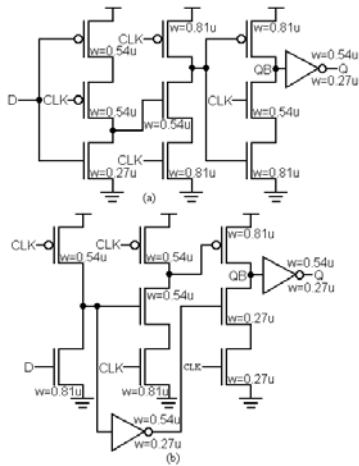


Fig. 3 Flip-flop Dinámicos TSPC a) FFYS, b) FFYDHL

3c) Banco de Pruebas

El banco de pruebas utilizado se caracteriza por que las señales de entrada al flip-flop son manejadas por inversores, que a su vez son manejados por fuentes ideales de voltaje; en esta forma se generan tiempos de transición reales en las señales de entrada del flip-flop. La salida Q es cargada con una capacitancia, cuyo valor corresponde a la capacitancia de entrada de 4 inversores de tamaño mínimo (6.82fF) y posteriormente con 8,12,16 y 32 inversores. Con el fin de tomar en cuenta la degradación de las transiciones en el tiempo (fanout), las señales de entrada de datos son cargadas con 3 inversores de tamaño mínimo (5.11fF). El consumo de potencia para conmutar las capacitancias externas es excluido.

El consumo de potencia interno de los EM es dependiente del patrón de datos y es directamente proporcional a la actividad de conmutación α . Esto motiva el estudio de las tres fuentes de consumo de potencia anteriormente mencionadas en forma separada. En este trabajo, se usan los patrones de datos estándar definidos por Stojanovic. *La máxima disipación de potencia* es reflejada al aplicar el patrón de datos ...01010... ($\alpha=1$). *La disipación de potencia promedio* es lograda al aplicar una secuencia pseudo-aleatoria ($\alpha=0.5$). *La disipación de potencia mínima* se refleja mediante el uso cualquiera de las dos secuencias ...11111... ($\alpha=0(1)$) o ...00000... ($\alpha=0(0)$).

Puesto que el desempeño de velocidad y potencia es dependiente del dimensionamiento de los transistores, cada diseño se optimizó para operaciones de alta velocidad y bajo consumo de potencia a través del siguiente procedimiento: se estableció que los tamaños de los transistores en todas las trayectorias de retroalimentación fueran dimensionadas al mínimo, y que las trayectorias críticas de carga o descarga de los nodos internos se dimensionaran en mayor medida una vez

definido el dimensionamiento de los transistores en serie o paralelo en cada trayectoria con referencia a los tamaños del inversor mínimo. *En este trabajo cada estado lógico fue diseñado para tener aproximadamente características de conmutación simétricas.*

3d) Mecanismo de reducción de potencia

Una aproximación de diseño común para minimizar el consumo de potencia es *reducir la componente de conmutación de potencia dinámica.*

$$P_{dyn} = \alpha \cdot C_L \cdot V_{dd}^2 \cdot f \quad (1)$$

De acuerdo con (1), el consumo de potencia puede ser reducido al minimizar cada uno de sus términos: disminuir la fuente de alimentación significa aumentar el retardo, lo cual no es deseable y disminuir la frecuencia no es el camino más viable al tener como principal objetivo trabajar a altas velocidades, por consiguiente, lo correcto es minimizar las capacitancias de carga a la red de distribución de reloj (al reducir los tamaños de los transistores que son manejados por la señal de reloj) y reducir las capacitancias asociadas a los nodos de precarga y salida en cada topología.

5. COMPARATIVO Y ANÁLISIS DE RESULTADOS

Las gráficas 4 a 7 muestran los resultados de la Potencia Promedio Total de cada flip-flop con relación a su patrón de actividad de datos α , y los Productos Potencia-Retardo con relación a la variación de carga, voltaje y frecuencia. En las gráficas se muestra que el consumo de potencia de la estructura SDFP presenta un consumo de potencia muy elevado frente a cualquier variación de los parámetros de evaluación-caracterización. Por su parte las topologías MC²MOS y FFYWW se muestran como 2 buenas opciones cuando se utilicen cargas pequeñas en sus salidas; sin embargo, MC²MOS presenta la desventaja de tener un consumo de



potencia un poco elevado y la utilización de 2 fases de reloj, a diferencia del FFYWW que tiene la ventaja de tener uno de los consumos de potencia más bajos. Respecto de las topologías SDFFNO y TGF estas presentan buen manejo de carga, voltajes y frecuencias pero con un consumo de potencia ligeramente mayor al de las topologías dinámicas su único inconveniente respectivamente sería un número mayor de transistores para su implementación y el uso de 2 fases de reloj. Se observa que las topologías FFYS y FFYDHL presentan el mejor comportamiento global frente a cualquier parámetro de variación caracterización el único inconveniente de FFYS es que en su salida inversora pueden aparecer fallas (glitches) que se traducen en pequeñas descargas cuando se tiene un nivel de voltaje alto en la salida. Esta falla es corregida en FFYDHL la cual se presenta como una de las mejores modificaciones de FFYS.

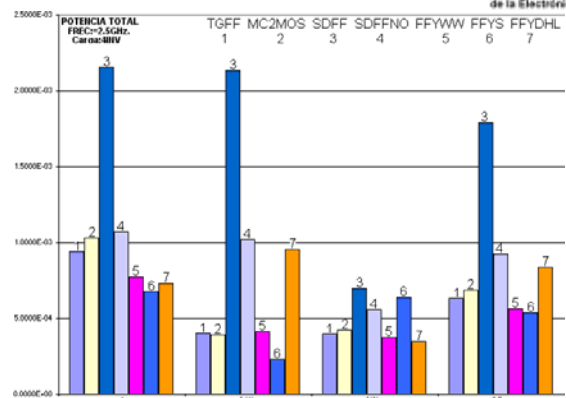


Fig. 4 Potencia Total vs Patrones de activación de entrada de datos

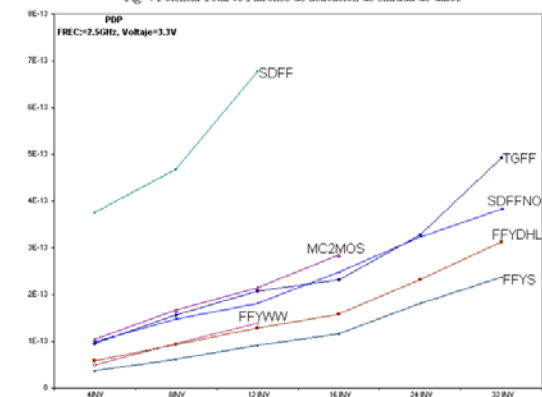


Fig. 5 Producto Potencia Retardo vs Variación de Carga a la Salida

	Medidas de tiempo			Medidas de Potencia				EDP (fJ)
	SETUP (ps)	HOLD (ps)	CLK-Q (ps)	DATOS (μ W)	RELOJ (μ W)	INTERNA (μ W)	TOTAL (μ W)	
TGFF	48.233	32.075	78.887	302.87	37.975	162.29	503.14	39.68
SDFFNO	-1.7438	54.737	92.149	186.91	24.691	712.23	923.99	85.14
FFYDHL	77.736	45.506	80.089	186.92	29.984	620.69	837.59	67.08

Tabla 1 Medidas de tiempo y potencia de los 3 flip-flop más robustos (Frec=2.5GHz, Carga 6.82fF, $\alpha=0.5$)

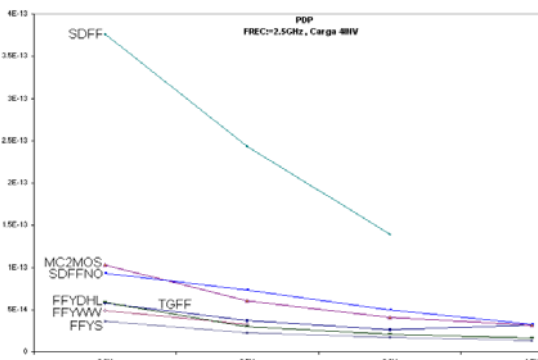


Fig. 6 Producto Potencia Retardo vs Variación de voltaje de alimentación

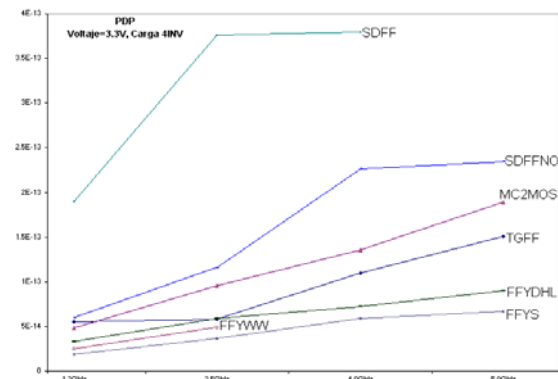


Fig. 7. Producto Potencia-Retardo vs Variación de Frecuencia

6. CONCLUSIONES

Se analizaron diversas estructuras de EM con dimensionamiento de transistores para alta velocidad y baja potencia. De acuerdo con simulaciones HSPICE del comportamiento y desempeño basados en actividades de



reloj-datos, se encontró una considerable variación en el diseño óptimo de los EM para diferentes regímenes como se observa en las gráficas (Fig. 4-7). No obstante, destacan tres estructuras al presentar un excelente manejo de cargas, frecuencias y voltajes entre todas las presentadas:

- El Flip-flop de compuertas de transmisión (TGFF), con tiempos de setup pequeños, menores tiempos de hold y un consumo de potencia reducido.

- El Flip-flop semi-dinámico propuesto por Nedovic-Oklobdzija (SDFNO), con tiempo de setup cero o negativo, tiempo de hold grandes y un consumo de potencia por arriba del TGFF.

- El Flip-flop dinámico propuesto por Yang-Dehng-Hsu-Liu (FFYDHL) con tiempos de setup y hold medianos, y un consumo de potencia por debajo de las dos topologías anteriores.

Finalmente, con los resultados obtenidos, se tiene un panorama amplio, que permite seleccionar la mejor topología de flip-flop en cuanto a velocidad y consumo de potencia de acuerdo de las necesidades de cualquier circuito de aplicación de interés como se muestra en la Tabla. 1, seleccionando las topologías más robustas en las partes más críticas de los sistemas y cualquier otra topología con un menor consumo de potencia o velocidad en las partes menos críticas o con menor carga de trabajo.

AGRADECIMIENTOS

Al Consejo Nacional de Ciencia y Tecnología (CONACYT) por el apoyo económico de la Beca No de Registro 158306, y el Proyecto de Investigación 34557-A.

REFERENCIAS

- [1] G. Gerosa, et al. "A 2.2 W, 80 MHz Superscalar RISC Microprocessor", *IEEE J. Solid-State Circuits*, vol. 29, no. 12, Dec. 1994, pp. 1440-1454.
- [2] L. S. Kim, and R. W. Dutton, "Metastability of CMOS Latch/Flip-Flop", *IEEE J. Solid-State Circuits*, vol. 25, no. 4, Aug. 1990, pp. 942-951.
- [3] F. Klass, et al, "Semi-dynamic and dynamic flip-flops with embedded logic" in 1998 Symp. VLSI Dig. Tech. Papers, Honolulu, HI, June 1998, pp. 108-109
- [4] P. H. Yang, J. S. Wang, and Y. M. Wang, "A 1-GHz Low-Power Transposition Memory Using New Pulse-Clocked D Flip-Flops", *ISCAS 2000*, May 2000, Geneva, Switzerland, pp. V-665~V-668.
- [5] N. Nedovic, and V. G. Oklobdzija, "Dynamic Flip-Flop with Improved Power" *ESSCIRC 2000, 26th European Solid-State Circuits Conference* Stockholm, Sweden, September 2000.
- [6] J. Yuan, and C. Svensson, "High-Speed CMOS Technique", *IEEE J. Solid-State Circuits*, vol. 24, no. 1, Feb. 1989, pp. 62-70.

- [7] C. Y. Yan, G. K. Dehng, J. M. Hsu, and S. I. Liu, "New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler" *IEEE J. Solid-State Circuits*, vol. 33, no. 10, Oct. 1998, pp. 1568-1571.
- [8] V. Stojanovic, and V. G. Oklobdzija, "Comparative Analysis of Master-Slave Latches and Flip-Flops for High Performance Systems and Low Power System", *IEEE J. Solid-State Circuits*, vol. 34, no. 4, Apr. 1999, pp. 536-548.
- [9] S. Heo, and K. Asanovic, "Load-Sensitive Flip-Flop Characterization", *IEEE Workshop on VLSI*, Orlando, Florida, April 2001.
- [10] Shang Xue, et al, "A Comparative Study of Low-Voltage Performance of Standard-Cell Flip-Flops", in the *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, Malta, pp. 953-957, September 2001.
- [11] Seongmoo Heo, et al, "Activity-Sensitive Flip-Flop and Latch Selection for Reduced Energy", *19th Conference on Advanced Research in VLSI*, Salt Lake City, UT, March 2001.