

BLOQUES BÁSICOS PARA PROCESAMIENTO DE IMÁGENES, BASADOS EN ONDOLETAS (WAVELETS)

Lancelot García Leyva, Mónico Linares Aranda.
 Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE).
lgleyva@susu.inaoep.mx, mlinares@inaoep.mx.

Resumen. La Transformada Discreta Ondoleta (DWT), juega un papel importante en el procesamiento multimedia, tal como la compresión de datos de una y dos dimensiones. Existen varios tipos de transformadas en cuya implementación se utilizan diversas arquitecturas, muchas de estas arquitecturas son coincidentes en construcción. En este trabajo se proponen bloques de construcción básicos y generales, (sumadores, multiplicadores, entre otros) los cuales son optimizados en velocidad, potencia y área, para un número selecto de arquitecturas para la Transformada Wavelet, los resultados de simulación fueron obtenidos utilizando una tecnología CMOS AMS de 0.35µm.

1. INTRODUCCIÓN

Uno de los puntos importantes en el desarrollo de la 2-D DWT en hardware es la determinación de los tipos de filtros así como la arquitectura que cumpla con características necesarias para realizar la transformada de forma óptima. Los algoritmos Ondoletas más conocidos son Daubechies, Symlets, Orthogonal, Coiflets, etc., por mencionar algunos [9]. Los coeficientes de los filtros son necesarios en estos procesamientos además de que son directamente dependientes del algoritmo y del orden que se desea obtener del mismo. Las arquitecturas más conocidas para la realización de los filtros son: Coeficientes Folding, Descomposición Polyphase, Arc_j, Filtros paralelos, Orthogonal, etc., las cuales tienen la característica de que funcionan para un solo tipo de filtro (en términos de orden o longitud de coeficientes). De aquí la importancia de tener bloques básicos generales que cumplan con las características deseadas para el mayor número posible de arquitecturas. En este trabajo se presenta la propuesta de un bloque básico para la realización de la Transformada Discreta Wavelet.

2. TRANSFORMADA DISCRETA WAVELET

2.1 ALGORITMO

La Transformada Discreta Wavelet en dos dimensiones (2D-DWT) tiene las fórmulas matemáticas definidas como [4]:

$$X_{LL}^J(n_1, n_2) = \sum_{i_1=0}^{K-1} \sum_{i_2=0}^{K-1} g(i_1) \cdot g(i_2) \cdot X_{LL}^{J-1}(2n_1 - i_1, 2n_2 - i_2) \quad (1)$$

$\left\{ \begin{matrix} X_{LH}^J(n_1, n_2) \\ X_{HL}^J(n_1, n_2) \\ X_{HH}^J(n_1, n_2) \end{matrix} \right\}$ son definidas de igual forma que la ec. (1)

donde:

- J nivel 2-D DWT.
- K longitud del filtro.
- g(n) respuesta al impulso del filtro pasa-bajas G(z).
- h(n) respuesta al impulso del filtro pasa-altas H(z).
- X_{LL}(n₁, n₂) imagen de entrada.

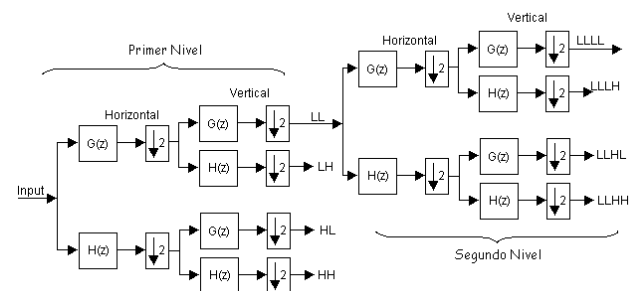


Figura 1. Dos niveles de 2-D DWT.

La fig. 1 ilustra dos niveles de la 2-D DWT. Cada nivel de descomposición comprime dos estados: el estado 1 realiza el filtrado horizontal y el estado 2 realiza el filtrado vertical. En el primer nivel de descomposición, el tamaño de la imagen de entrada es NXN y las salidas son cuatro subbandas: LL, LH, HL, y HH, de tamaño (N/2)X(N/2). En el segundo nivel de descomposición, bajo la entrada de banda LL, las salidas son las cuatro subbandas LLLL, LLLH, LLHL, y LLHH, de tamaño (N/4)X(N/4). Así, los multiniveles 2-D DWT pueden ser extendidos de una manera análoga. La fig. 2 muestra el resultado de la imagen "Lena" después de tres niveles de descomposición 2-D DWT.



2.2. ARQUITECTURAS

Parte importante en la DWT lo son los filtros pasa altas y pasa bajas, los cuales se encuentran contruidos arquitecturalmente de la misma forma. La diferencia la determinan los coeficientes que tiene cada uno de ellos, motivo por el cual en este trabajo solo se manejan filtros sin especificar qué tipo son. Para lograr los bloques de construcción básicos, primero se analizaron las formas de cómo están contruidas las arquitecturas DWT y de ahí se derivaron los bloques básicos para la construcción de la transformada.

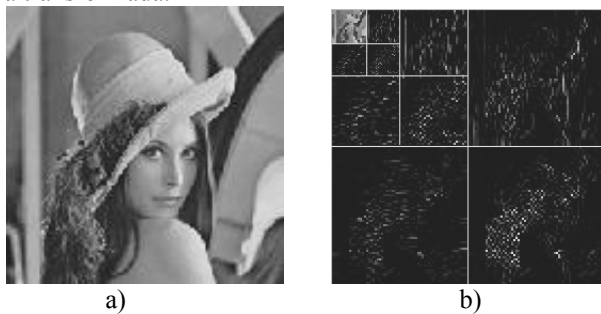


Figura 2. a) Imagen original "Lena", b) Resultado de "Lena" después de tres niveles 2-D DWT, tamaño 256x256 píxeles.

Una de las arquitecturas analizadas es la del filtro Polifase la cual se encuentra en la figura 3 [4]. La figura 4 muestra el bloque básico para esta arquitectura, el cual da una pauta para proponer un primer bloque básico general que, como se verá más adelante, será el mismo que para otras arquitecturas.

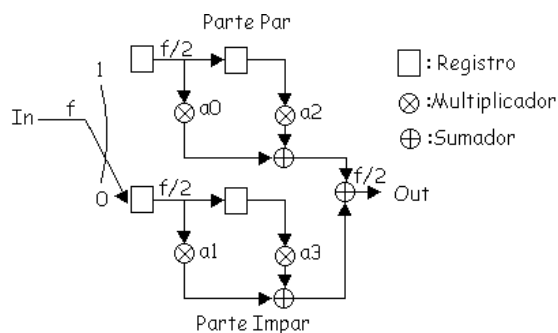


Figura 3. Filtro de 3^{er} orden usando la técnica Polifase.

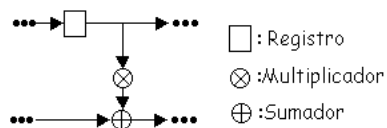


Figura 4. Módulo básico de la arquitectura para el filtro de decimación empleando la técnica Polifase.

En la figura 5 se presenta la arquitectura de Coeficientes Folding [4], la cual soporta filtros de tercer orden, mientras que en la figura 6 se muestra el bloque básico de esta arquitectura con la cual pueden construirse filtros de órdenes diferentes.

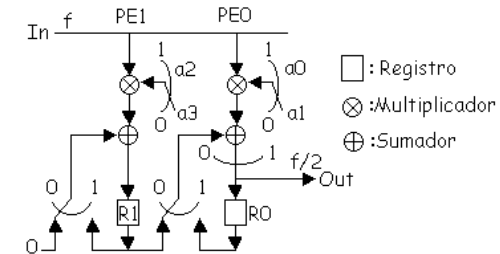


Figura 5. Filtro 3^{er} orden, usando la técnica de Coeficientes Folding.

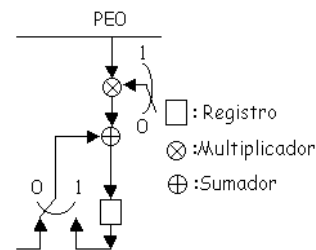


Figura 6. Módulo básico de la arquitectura de Coeficientes Folding.

El filtro de decimación Arc_j se presenta en la figura 7, la cual a su vez presenta características estructurales similares a las dos arquitecturas antes mencionadas. Los registros de color grises no tienen una razón funcional pero tienen que estar en un cierto orden para sincronizar de forma pipeline a los multiplicadores y sumadores.

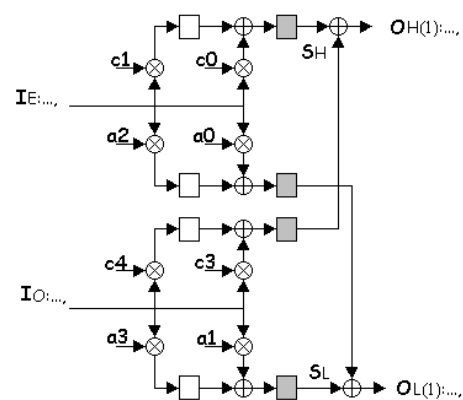


Figura 7. Filtro de 3^{er} orden, para el bloque B1, de la arquitectura Arc_j . Esquema arquitectural ($L=4$).



Otras arquitecturas analizadas son Folded [1], Dígito Serial [1], Denk y Parhi [2], Paek, Jeon y Kim [3], las cuales utilizan bloques básicos similares, razón por la cual se tomaron estas arquitecturas, además de que presentan mucha similitud en sus elementos así como el orden que guardan estos para realizar la DWT

3. BLOQUE BÁSICO GENERAL

De acuerdo a las estructuras de las arquitecturas manejadas proponemos el bloque básico que se presenta en la figura 8. Este posee la característica de tener tres entradas *a, b* y *c*; *a* es de ocho bits que corresponde a los bits de cada píxel de una imagen de entrada cuantizada en escala de grises de 0 a 255 niveles, *b* es un coeficiente del filtro Ondoleta el cual no necesita más de 8 bits basado esto en las características de los coeficientes de los filtros Wavelets, *c* es un dato anterior a esta operación y consta de 16 bits ya que se trunca el bit menos significativo. Finalmente, *d* es la salida que consta de 17 bits, resultado de sumar dos señales de 16 bits.

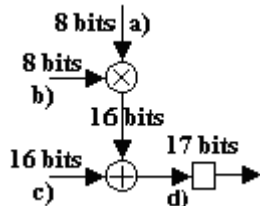


Figura 8. Bloque básico propuesto.

Puede verse que el bloque básico de la figura 8, está compuesto por un multiplicador en serie con un sumador los cuales deben de guardar el orden de realizar primero la multiplicación y posteriormente la suma, la razón de esto es que si se multiplican dos datos de 8x8 bits se obtendrá un valor máximo de 16 bits, el cual será una de las entradas en el sumador el cual a su vez dará un valor máximo de 17 bits. Ahora, analizando la realización de las operaciones de forma inversa, se observa que se realiza una suma de dos valores de 8 bits obteniendo un resultado de 9 bits, el cual será una valor de entrada para la etapa de multiplicación y este debe de realizar operaciones de 9x9 bits obteniendo a la salida un valor de 18 bits, esto obliga a realizar un sumador más pequeño que en el caso anterior y un multiplicador mayor. La desventaja de realizar primero la suma y posteriormente la multiplicación es que es necesario un multiplicador de mayor tamaño el cual consume más recursos que realizar un sumador del mismo tamaño, motivo por el cual es conveniente tener multiplicadores pequeños y sumadores grandes y no viceversa, razón por la cual el bloque básico tiene esta característica de realizar primero la multiplicación y posteriormente la suma.

El diseño de todos los elementos que constituyen el bloque básico se diseñaron a una frecuencia de reloj de 1 GHz, utilizando lógica TSPC [15], la cual permite operar todo el sistema a la frecuencia máxima que es la del bloque más lento, sin importar el número de etapas y estructurado con arquitectura pipeline. El primer elemento es el multiplicador de 8x8 bits, figura 9, el cual a su vez está constituido por compuertas *and* de dos entradas, multiplicadores sumadores (MA) que multiplican las entradas *1* por *2* y el resultado lo suman con las entradas *3* y *4*, y un sumador completa (FA) de un bit [8]. El segundo elemento del bloque básico es un sumador de 16x16 bits, figura 10, el cual esta formado por sumadores completos semidinámicos de 1 bit.

4. RESULTADOS

Para la construcción del multiplicador de la figura 8 se necesita de compuertas *and* (dinámica, para sincronizar los datos), multiplicador-sumador MA (semi-dinámico, para tener menor consumo de potencia que uno totalmente dinámico) y sumadores completos FA (semi-dinámico). La figura 11 muestra los resultados obtenidos para el MA; como puede verse este tiene cinco entradas, una de reloj (clk) y cuatro de datos sincronizados con el reloj ($(a0*x)+a1+a2$) y dos salidas *sumx* y *coutx*. La figura 12 muestra los resultados de simulación correspondientes al sumador completo, el cual tiene cuatro entradas, una de reloj (clk) y tres de datos (*a0, a1* y *a2*) y dos salidas *sum* y *cout*. Estas simulaciones muestran el buen funcionamiento de estos elementos fundamentales para la construcción del bloque básico.

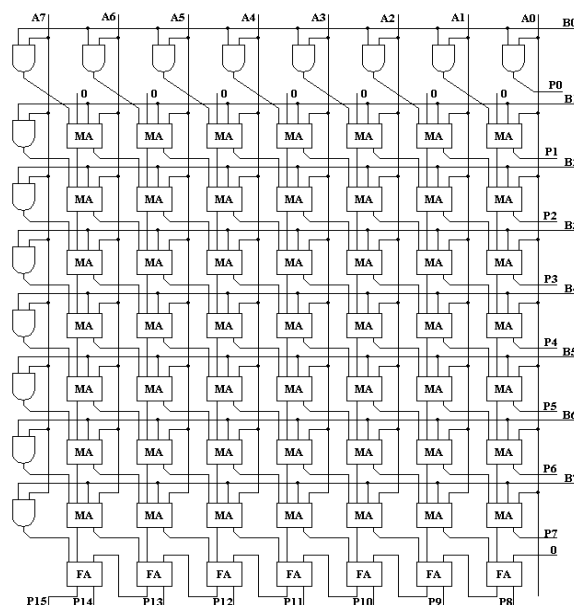


Figura 9. Multiplicador Braun de 8 bits.

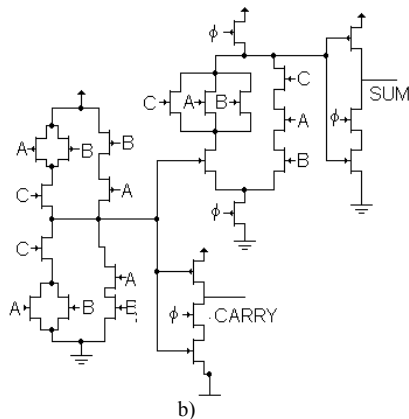
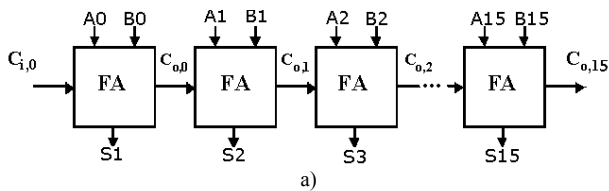


Figura 10. a) Sumador de 16x16 bits, b) Diagrama del sumador de un bit (FA).

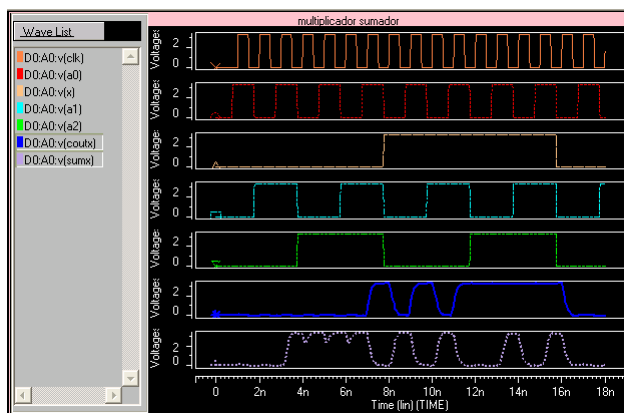


Figura 11. Simulación del multiplicador sumador de 1 bit, utilizado en el multiplicador de 8X8 bits.

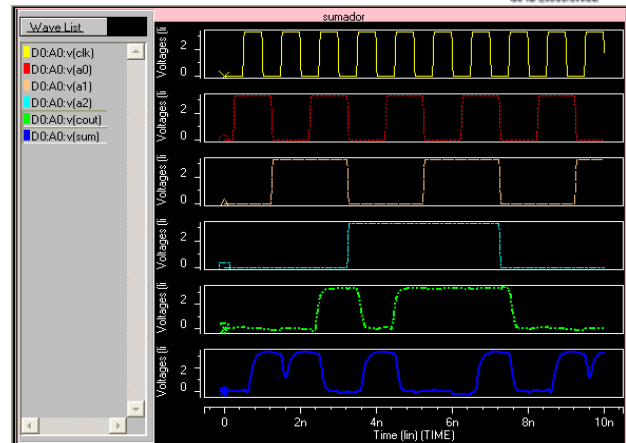


Figura 12. Formas de onda del sumador completo (FA), a 1 GHz frecuencia de reloj.

Circuito	Potencia	Área (m ²)
And 2 entradas	9.14E-4	1.57641E-10
Multiplicador sumador	4.11E-3	3.43101E-10
Sumador Completo	4.68E-3	1.8546E-10

Tabla 1. Potencia medida de los circuitos base para construir el bloque básico.

En la Tabla 1 se muestran los resultados de consumo de potencia promedio acumulada considerando todas las combinaciones posibles para los datos del multiplicador-sumador. Todos los circuitos fueron simulados a una frecuencia de reloj de 1 GHz y con carga a la salida de 100 fF.

5. CONCLUSIONES

Basándose en las arquitecturas analizadas se observa que la parte más importante en la DWT son los filtros y sus características tales como el orden y los valores de los coeficientes, donde el bloque básico propuesto es la base para la construcción de los filtros. Se concluye que al mejorar las características de los elementos que conforman al bloque básico, se mejora de la misma forma las características del bloque básico propuesto. Utilizando lógica TSPC en la construcción y diseño de los elementos que conforman al bloque básico se hace posible que todo el bloque o sistema trabaje a la frecuencia del elemento más lento (1 GHz). Todo el bloque básico opera a la misma frecuencia independientemente del número de bloques que sean conectados en serie.



AGRADECIMIENTOS

Al Consejo Nacional de Ciencia y Tecnología (CONACyT) por el apoyo otorgado a través de la Beca crédito con registro **164013**, para Estudios de Maestría. Este trabajo forma parte del proyecto 34557-A CONACyT.

REFERENCIAS

- [1] *Keshab K. Parhi, Takao Nishitani*, "VLSI Architectures for discrete Wavelet Transforms", Transactions on very large scale integration (VLSI) systems, vol 1, no. 2, june 1993, pp. 191-202.
- [2] *Tracy C. Denk, Heshab K. Parhi*, "Systolic VLSI Architectures for 1-D Discrete Transform Wavelet", *Proc. of 1998 Asilomar Conf. on Signals, Systems and Computers*, Nov. 1-4, 1998, Pacific Grove (CA), pp 1220-1224.
- [3] *Seung-kwon Paek, Hyun-Kyu Jeon, Lee-Sup Kim*, "Semi-recursive VLSI Architecture for two dimensional Discrete Wavelet Transform", IEEE International Symposium on Circuits and Systems, 469-472, 1998.



- [4] *Po-Cheng Wu and Liang-Gee*, "An Efficient Architecture for Two-Dimensional Discrete Wavelet Transform", Circuits and systems for video technology, Vol, 11, No. 4, Abril 2001, pp. 536-545.
- [5] *David B. H. Tay*, "Families of Binary Coefficient Biorthogonal Wavelet Filters", *Electronic Letters*, Vol. 36, No. 14, July 2000.
- [6] *Chu Yu and Sao-Jie Chen*, "Design of an Efficient VLSI Architecture for 2-D Discrete Wavelet Transforms", IEEE Transactions on Consumer Electronics, Vol. 45, No. 1, February 1999, pp 135-140.
- [7] *Franscescomaria Marino, Davis Guevorkian, and Jaakko T. Astola* " Highly Efficient High-Speed/Low-Power Architectures for the 1-D Discrete Wavelet Transform", IEEE Transactions on CAS- II Analog and Digital Signal Processing, Vol. 47, #12, Diciembre 2000, pp. 1492-1502.
- [8] *Jiren Yuan and Christer Svensson*, "High-Speed CMOS circuit technique", February 1989, pp. 62-70, IEEE JSSC, Vol. 24, No. 1.
- [9] *Stephane G. Mallat* "A Wavelet Tour of Signal Processing", Second Edition, 1998, 1999 by Academic Press, pp. 67-121, 220-314.