



# VCOs EN ANILLO DE ALTA VELOCIDAD Y BAJO CONSUMO DE POTENCIA

Pacheco Bautista Daniel, Linares Aranda Mónico  
Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE)  
Apartado Postal 51 C. P. 72000, Puebla, Mex.  
danielpb@susu.inaoep.mx, mlinares@inaoep.mx

## RESUMEN

*En este artículo se analiza el desempeño de cuatro topologías de osciladores controlados por voltaje (VCOs) en anillo de alta velocidad, junto con una propuesta de VCO de dos etapas que utiliza retroalimentación parcial positiva y el cual es capaz de operar a frecuencias en el rango de 0.1 a 2.1 GHz con una disipación de potencia de menos de 8mW en su frecuencia central, características altamente atractivas para aplicaciones de comunicaciones portátiles y multimedia. Los VCOs son diseñados utilizando una tecnología CMOS-AMS de 0.35 micras y simulados mediante Hspice.*

## 1. INTRODUCCION

Los VCOs encuentran gran aplicación en sistemas de síntesis de frecuencia pero también su uso se extiende a las aplicaciones digitales, siendo utilizados en generadores, sincronizadores o sintetizadores de reloj, recobradore de datos, etc. Mientras que en la primera aplicación el ruido de fase es predominante, en las segundas, los problemas de inestabilidad de frecuencia suelen ser más relajados y otros factores tales como la velocidad y el consumo de potencia resultan fundamentales. En estas aplicaciones aún cuando pueden encontrarse varias formas de realización de VCOs, las topologías en anillo son preferidas debido a su gran facilidad de integración. En este trabajo se realiza el análisis y comparación de 5 VCOs en anillo encaminados a estas aplicaciones, se ha optado por la configuración diferencial debido a su rechazo a las variaciones en modo común. Cuatro topologías corresponden a aquellas publicadas en [2]-[5] y la quinta constituye una propuesta de VCO de dos etapas. La frecuencia central de operación fue estandarizada a 1.2GHz, y el número de etapas igual a 4 para los primeros tres VCOs, para una mejor comparación. El resto del artículo se organiza de la siguiente manera: En la sección 2 se analizan los conceptos básicos utilizados en el diseño de VCOs en anillo de alta velocidad. En la sección 3 se describe la implementación de los circuitos, en la sección 4 son

discutidos los resultados de simulación y en la sección 5 se presentan las principales conclusiones del trabajo.

## 2. DISEÑO DE VCOS EN ANILLO DE ALTA VELOCIDAD.

Los osciladores en anillo están formados por celdas inversoras en cascada conectadas en lazo cerrado, las cuales proveen equitativamente el cambio de fase y la ganancia suficiente para satisfacer las condiciones de oscilación de Barkhausen [1]. En estas topologías la frecuencia de operación puede expresarse como:

$$f = \frac{1}{2N\tau_d} \quad (1)$$

Donde  $f$  es la frecuencia de operación del oscilador,  $N$  el número de celdas en el anillo y  $\tau_d$  el tiempo de retardo de una celda. De esta ecuación se observa que el incremento en la velocidad del oscilador puede lograrse de dos maneras: a través de la reducción del retardo de cada celda o bien mediante la disminución del número de celdas del anillo. Una forma eficiente de disminuir el tiempo de retardo de la celda es mediante el uso de excursión pequeña de la señal oscilante, otra forma de hacerlo es a través del encendido prematuro de los transistores PMOS para compensar la diferencia en velocidades con respecto a los NMOS. Por otro lado, la reducción del número de etapas resulta muy atractiva no solo por el incremento en la velocidad de operación sino por la disminución en el consumo de potencia y área requerida, sin embargo, a medida que  $N$  es reducido, es más difícil satisfacer simultáneamente los criterios de oscilación. La oscilación estable en un anillo requiere un cambio de fase total de 360 grados en una frecuencia en la cual la ganancia en pequeña señal del lazo esté por encima de 0 dB. En un anillo de  $N$  celdas cada celda contribuye en un cambio de fase de  $180^\circ/N$  y la inversión de fase en cd provee los  $180^\circ$  restantes. Para  $N$  pequeño los problemas de deficiencia de fase y/o ganancia suelen presentarse. En la figura 1 se ilustran estos conceptos para un VCO de 2 celdas, en el cual el cambio de fase requerido por celda debe de ser de  $90^\circ$ ; como puede observarse, en el punto en el cual la ganancia cae por debajo de 0dB (ganancia unitaria) la fase aun no consigue

los  $-90^\circ$  y, por lo tanto, la oscilación no es generada. Idealmente las celdas de retardo en un VCO suelen ser modeladas como sistemas de un solo polo, sin embargo, a medida que el número de celdas disminuye el efecto de polos y ceros adicionales juegan un papel muy importante. En la figura 1, son posibles dos formas para corregir la deficiencia de fase: la primera es utilizada en [6], en la cual se emplean cargas con comportamiento inductivo, las cuales proporcionan un cero adicional haciendo que la fase caiga más rápidamente. La segunda forma es mediante el uso de retroalimentación parcial positiva en la celda de retardo [7]. La retroalimentación parcial positiva incrementa la ganancia en cd suficiente e incrementa la frecuencia de trabajo de la celda, permitiendo de esta manera que en el momento del cruce de la línea de  $-90^\circ$  la ganancia aún se encuentre arriba de 0 dB; este principio es utilizado en el diseño del VCO de 2 etapas propuesto en la sección 3. Finalmente, puede agregarse que a través del uso de retroalimentación positiva y su características de histéresis es posible incluso generar oscilaciones con una etapa.

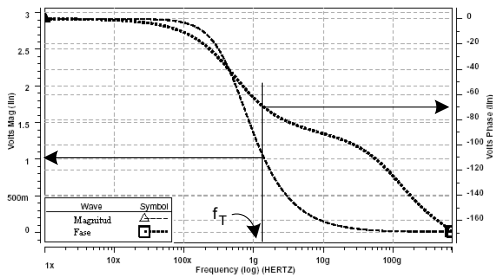


Figura 1. El problema de la deficiencia de fase

### 3. TOPOLOGÍAS DE LOS VCOs

En esta sección se introducen los 5 VCOs de anillo seleccionados de la literatura por su alto desempeño. Los tres primeros corresponden a topologías de 4 celdas, mientras que las 2 implementaciones finales utilizan solo dos y una celda, respectivamente. La elección del número par de celdas fue pensando en la necesidad de señales multifase y/o en cuadratura, utilizadas frecuentemente. El último VCO es la excepción y es incluido aquí solo para comparación. Los circuitos son mostrados en las figuras 2 a 6.

El VCO de la figura 2 utiliza la celda propuesta por J.G. Maneatis [2], y es una de las más utilizadas recientemente, debido a su baja sensibilidad a las variaciones de la fuente y retardo independiente del proceso. Su estructura consiste en un par sencillo diferencial acoplado en fuente con cargas linealizadas, estas cargas permiten un fácil control del tiempo de

retardo de la celda; sin embargo, su gran desempeño radica también en la facilidad de autopolarización, la cual hace de esta celda prácticamente insensible a las variaciones que se pueden dar en la fuente de alimentación. La frecuencia de operación alta es conseguida en base a excursión pequeña en la salida.

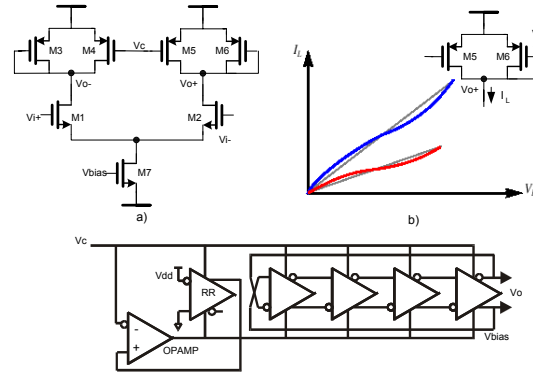


Figura 2. VCO de Maneatis

El segundo VCO propuesto por Chan Hong [3], alcanza alta velocidad a través de una estructura de doble lazo (figura 3), la cual permite encender prematuramente los transistores PMOS de la celda inversora compensando la diferencia en encendido de estos transistores con respecto a los NMOS. La celda básica, utiliza retroalimentación positiva, lo cual produce tiempos de conmutación muy rápidos, disminuyendo en esta forma la ISF (Función de sensibilidad al impulso) y con ello el jitter y el ruido de fase del VCO [1].

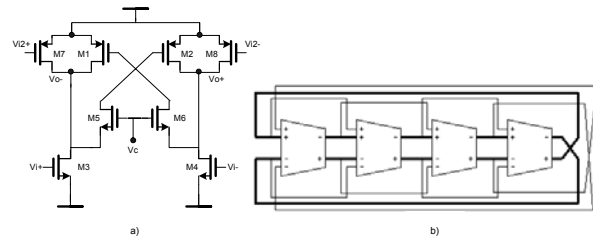


Figura 3. VCO de Chan Hong

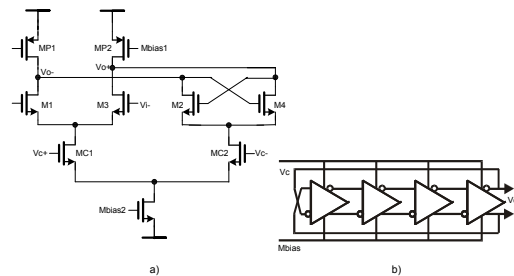


Figura 4. VCO de Lin Wu

El tercer VCO, es originado del propuesto por Lin Wu y William C. Black Jr. [4]; sin embargo, con el fin de

mantener una excursión constante en todo el rango de frecuencias, se utiliza regeneración positiva a través de M1 y M2, y sustituido las fuentes de corriente por simples transistores polarizados en la región de triodo. La estructura de la celda básica utiliza lógica de desvío de corriente, técnica que permite mantener un consumo de corriente constante, lo cual reduce significativamente los picos en las líneas de alimentación. El VCO implementado en este diseño usa una estructura diferencial, no solo en la trayectoria de la señal, sino también en la trayectoria de control para rechazar el ruido del sustrato y de la fuente de alimentación las cuales frecuentemente se presentan en modo común. La celda de retardo y el VCO completo se ilustran en la figura 4.

Aún cuando estos VCOs pueden presentar bajos niveles de jitter y altas frecuencias de operación, el consumo de potencia no resulta despreciable, despertando interés por la reducción del número de celdas. Así, el cuarto VCO propuesto en este trabajo e ilustrado en la figura 5, fué diseñado para aplicaciones de bajo consumo de potencia pero sin descuidar los otros parámetros importantes, tales como la frecuencia de oscilación, que incluso puede ser mejorada. Este VCO consiste únicamente de dos celdas de retardo, lo cual es posible mediante el uso de retroalimentación parcial positiva en ellas, esta retroalimentación es necesaria para satisfacer las condiciones de oscilación, como se discutió en la sección 2, y es implementada mediante los transistores M1a y M2a en la figura 5. La retroalimentación parcial positiva provee suficiente ganancia en dc, corriendo a la derecha el punto en el cual la ganancia cae debajo de 0 dB (figura 1), sin alterar significativamente la fase, logrando de esta manera satisfacer ambas condiciones de oscilación. La ganancia suficiente puede generarse de forma alterna a través de configuraciones paralelas [8]; sin embargo, este método es penalizado con consumo de potencia. La carga utilizada es la misma carga linealizada del VCO de la figura 2, para proveer buen rechazo a las variaciones en la fuente y al mismo tiempo obtener niveles adecuados de ruido de fase.

Finalmente, en la figura 6 se ilustra la topología en anillo de etapa única propuesta en [5], su principio de funcionamiento se basa en la característica de histéresis de la celda y es fácilmente entendido con ayuda de la figura 6b. En esta figura, C representa la carga total en el nodo de salida y R la resistencia controlada implementada por los transistores M7 y M8. A medida que el número de etapas ha disminuido se ha llegado al concepto más general de los osciladores de relajación, por lo cual el VCO en anillo es clasificado como un tipo especial de este grupo de osciladores.

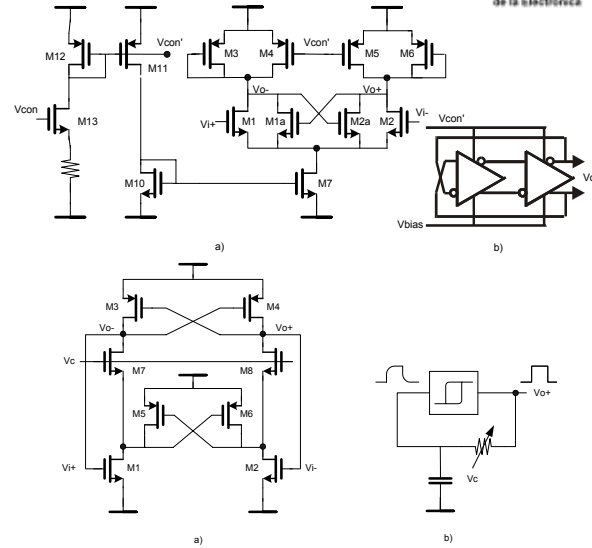


Figura 5. VCO de dos etapas

Figura 6. VCO de etapa única de Ahmed

## 4. RESULTADOS.

Los 5 VCOs fueron diseñados a una frecuencia central de 1.2 GHz en un proceso CMOS, AMS de 0.35 micras y un voltaje de alimentación de 3.3 V, y simulados mediante Hspice. La Figura 7 resume los resultados obtenidos. Todos los osciladores desarrollaron la frecuencia propuesta, excepto el VCO de Lin Wu, el cual obtuvo una frecuencia máxima de 1.0 GHz, esto se debe al incremento de la capacitancia en el nodo de salida que resulta de agregar la estructura de desvío de corriente. Para poder comparar su desempeño, su función de transferencia fue normalizada a la frecuencia de 1.2GHz en la figura 7b. Las figuras 7c y 7d ilustran el consumo de potencia de cada una de las estructuras y la sensibilidad a las variaciones estáticas de la fuente de alimentación, respectivamente. El VCO de Maneatis presenta la menor sensibilidad a las variaciones de la fuente, sin embargo, su consumo de potencia es elevado y su excursión de salida es variable con la frecuencia lo que dificulta su interfaz al exterior. El VCO de Chan Hong no muestra este problema al mantener excursión riel a riel en su salida, además, su ganancia baja la hace muy atractiva (menos sensible al rizo del filtro de lazo); sin embargo, el rango de entonado suele ser pobre (figura 7b), y como en la mayoría de los VCOs de salida riel a riel, es difícil generar señales con ciclo útil del 50%. El VCO de Lin Wu no presenta buena PSRR como el de Maneatis, pero la excursión constante en su salida, así como la excelente linealidad en su función de transferencia, pero sobre todo su consumo de potencia constante (figura 7c) en todas las frecuencias, lo hacen muy atractivo, otra ventaja adicional de esta



topología es que no solo la salida es en modo diferencial, sino también el control es diferencial. El VCO de 2 etapas propuesto en este trabajo, por su parte, demostró ser capaz de operar eficientemente en frecuencias relativamente altas, disipando mínimo consumo de potencia (8.37 mW para la frecuencia central de 1.2 Ghz), presenta además buena linealidad en su función de transferencia y un rango de entonado de cerca de 2 Ghz, suficiente para soportar variaciones en los parámetros durante el proceso de fabricación, la sensibilidad de la frecuencia de salida con respecto a variaciones en el voltaje de alimentación resulta ser de simulación 2.25%, un valor pequeño como resultado de utilizar cargas linealizadas en la celda de retardo, además, fue posible obtener excursión en la señal de salida del VCO casi constante (0.85V a 0.95V) para la mayor parte del rango de operación. Finalmente, el VCO de etapa única, presenta el rango de entonado más pequeño (Figura 7b) pero aún suficiente para soportar variaciones en el proceso de fabricación, así como el menor consumo de potencia (6.9mW). Todos los VCOs fueron rediseñados para determinar la frecuencia máxima a la cual pueden operar adecuadamente y los resultados se muestran en la figura 7a. El jitter aún se encuentran sin estimar y espera medirse después de la fabricación de los circuitos.

## 5. CONCLUSIONES

Se han analizado cuatro tipos de VCOs en anillo de alto desempeño, comparando los resultados con un nuevo VCO basado en celdas de retardo retroalimentadas parcial positivamente, lo que habilita la operación del anillo con solo dos etapas. Simulaciones muestran que este VCO puede desempeñarse eficientemente en frecuencias altas con una disipación de potencia mínima y en un rango de operación suficientemente amplio para soportar variaciones en el proceso de fabricación. Los resultados en general, indican los beneficios en la reducción de celdas del anillo en lo que respecta a la velocidad y al consumo de potencia, sin embargo, cada VCO diseñado posee características atractivas y su elección dependerá estrictamente de la aplicación final.

## AGRADECIMIENTOS

Al CONACYT por el apoyo otorgado a través de la beca con número de registro 158014 para estudios de maestría. Este proyecto forma parte del proyecto de CONACYT con clave 34557-A

## REFERENCIAS

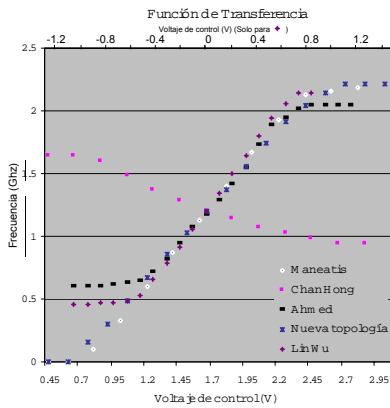
- [1]. Ali Hajimiri, Sotirios Limotyrakis, and Thomas H. Lee, Jitter and Phase Noise in Ring Oscillators, *IEEE J. Solid-State Circuits*, vol. 34, No. 6, pp. 790-804, June 1999.
- [2]. J. Maneatis and M. Horowitz, "Precise delay generation using coupled oscillators," *IEEE J. Solid-State Circuits*, vol. 28, No. 12, pp. 1273-1282, Dec 1992.
- [3]. Chan-Hong Park and Beomsuo Kim, A Low-Noise, MHz VCO in 0.6  $\mu\text{m}$  CMOS, *IEEE J. Solid-State Circuits*, vol. 34, pp 586-591, May 1999.
- [4]. Lin Wu and William C. Black Jr., A Low Jitter 1.25GHz CMOS Analog PLL for Clock Recovery, *IEEE International Symposium on Circuits and Systems*, May 31-June 3, 1998. MPA9-
- [5]. A. Ahmed, K.Sharaf, H. Haddara, H.F. Ragai, CMOS VCO-prescaler cell-based design for PLL frequency synthesizer, *IEEE International Symposium on Circuits and Systems*, May 28-31, 2000, pp. II-737 to II-739.
- [6]. Seema Butala Anand and Behzad Razavi, A CMOS clock recovery circuit for 2.5-Gb/s NRZ data, *IEEE J. Solid-State Circuits*, vol. 36, No. 3, pp. 432-439, March 2001.
- [7] Rongtai wang and Ramesh Harjani, Partial positive feedback for gain enhancement of low-power CMOS OTAs, project report, University of minnesota
- [8] H. Djahanshahi and C. Salama, Robust two-stage current-controlled oscillator in sub-micrometer CMOS, *Electron. Lett.*, vol.35, no. 21, pp. 1837-1839, Oct. 1999.



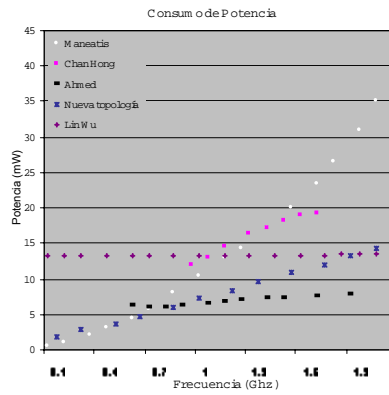
Figura 7. Comportamiento general de los VCOs diseñados

Especificación	Manneatis	Chan Hong Park	Lin Wu	VCO de dos etapas	VCO de etapa única
Rango de operación (GHz)	0.28-2.09 ±75%	0.90-1.55 ± 25%	0.1-1.95 ±90%	0.1-2.1 ±75.33%	0.68-1.72 ±43.3%
Ganancia del VCO(MHz/V)	1400	348	1090	1000	1100
Consumo de potencia (mW)	14	15.38	13.3	8.37	6.9
Linealidad en la F <sub>o</sub> Transf.	Buena	Regular	Muy buena	Buena	Regular
Coefficiente de Temperatura (ppm/ C)	2200	2500	2300	2200	2900
Sensibilidad de la frecuencia normalizada a vdd (MHz/%)	1.254	18.15	8.25	2.25	3
Excursion de Salida	0.4V-1.5V	0-3.3V	0.9V	0.9V	0-3.3V
Numero de transistores	45	32	41	22	8
Frecuencia máxima de la topología	3GHz cuando N=3	3.5 GHz cuando N=3	2.2 GHz cuando N=3	2.9GHz	3.1GHz

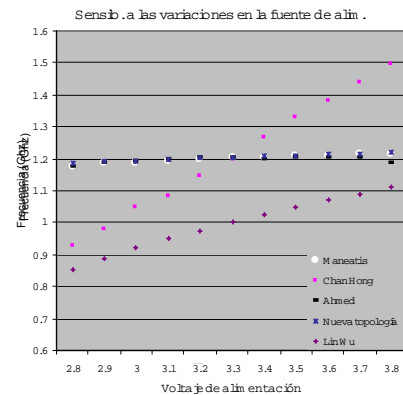
a)



b)



c)



d)

Figura 7. Comportamiento general de los osciladores a) Tabla comparativa b-d) Gráficas de comportamiento